

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2007 年版

TEST AND TEST EQUIPMENT

和訳 (STRJ-WG2)

Ver.2008.05.14

注)

以下の訳文は、07 年度 STRJ-WG2 メンバが ITRS2007 のテスト章をほぼ均等に分担和訳したものであり、必ずしも各自の得意分野を担当したものではありません。従って、その和訳において日本語の意味が曖昧と感じられた場合は、是非とも ITRS2007 の原文である TEST AND TEST EQUIPMENT を一読頂き、その意味を読者自身で確認下さい。

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メカ、材料メカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となっていました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月

訳者一同を代表して

電子情報技術産業協会(JEITA)半導体部会 半導体技術ロードマップ専門委員会(STRJ) 委員長

石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY
この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5275-7258 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

テストとテスト装置	1
2007 年版のイントロダクションと範囲	1
主要なドライバ、困難な課題、および将来の可能性	1
主要なドライバ	2
困難な技術課題(優先順)	5
将来の可能性	8
テストと歩留習熟	9
電氣的テストベース診断	9
故障解析	10
テストコストに注目したトピックス	11
ベースコストのトレンド	13
チャンネルコストのトレンド	13
電源コストのトレンド	13
インタフェースコストのトレンド	14
同時測定 of the トレンド	14
その他のコストトレンド	15
重要な関心領域	15
テスト技術への要求	17
イントロダクション	17
システム集積 – SoCとSiPのテストの課題と意味	18
ロジック	25
高速I/Oインタフェース	30
メモリ	33
アナログとミックスシグナル	36
RF(RADIO FREQUENCY: 無線周波数)	39
信頼性に対する要求	41
バーンインの要求	43
テストハンドラとウェーハプロバの技術要求	47
デバイスインタフェースの技術要求	50
プローブカード	50
テストソケット	58
特殊デバイス 62	

LIST OF FIGURES

Figure TST1 Test Cost Drivers	11
Figure TST2 Quality Trade-offs: An Arbitrary Example to Illustrate the Trade-offs	12
Figure TST3 Test Cell Cost / Unit versus Interface Cost Trend	13
Figure TST4 Importance of Multi-site Efficiency in Massive Parallel Test	14
Figure TST5 Organization of Core Semiconductor Technologies for System Integration and Applications	17
Figure TST6 Impact of Repeated Use of Same Cores	19
Figure TST7 High Speed Interface Trend	33
Figure TST8 The Production Process with WLBI Compared with Package Burn-in	44
Figure TST9 Contacts	59
Figure TST10 Image Sensor Cell	62

LIST OF TABLES

Table TST1	Summary of Key Test Drivers, Challenges, and Opportunities	2
Table TST2a	Multi-site Test for Product Segments—Near-term Years	15
Table TST2b	Multi-site Test for Product Segments—Long-term Years	16
Table TST3a	System on Chip Test Requirements—Near-term Years.....	21
Table TST3b	System on Chip Test Requirements—Long-term Years	22
Table TST4a	Logic Test Requirements—Near-term Years	28
Table TST4b	Logic Test Requirements—Long-term Years	29
Table TST5	Vector Multipliers	29
Table TST6a	Memory Test Requirements—Near-term Years	35
Table TST6b	Memory Test Requirements—Long-term Years.....	36
Table TST7a	Mixed-signal Test Requirements—Near-term Years.....	38
Table TST7b	Mixed-signal Test Requirements—Long-term Years.....	39
Table TST8a	RF Test Requirements—Near-term Years	40
Table TST8b	RF Test Requirements—Long-term Years	41
Table TST9a	Burn-in Requirements—Near-term Years	45
Table TST9b	Burn-in Requirements—Long-term Years	46
Table TST10	Test Handler and Prober Difficult Challenges	47
Table TST11a	Prober Requirements—Near-term Years	48
Table TST11b	Prober Requirements—Long-term Years	48
Table TST12a	Handler Requirements—Near-term Years	48
Table TST12b	Handler Requirements—Long-term Years	49
Table TST13	Probing Difficult Challenges	51
Table TST14a	Wafer Probe Technology Requirements—Near-term Years	54
Table TST14b	Wafer Probe Technology Requirements—Long-term Years	56
Table TST15a	Test Socket Technology Requirements—Near-term Years	60
Table TST15b	Test Socket Technology Requirements—Long-term Years	61

テストとテスト装置

2007 年版のイントロダクションと範囲

2007 年ロードマップは、元々 2005 年版の見直しとして取り組んでいたが、その内容は大きく変化し進化していった。2005 年ではいくつかの節に重複記述していた内容を 2007 年版においてはその重複を極力無くすように努めた。例えば、SoC テーブルは、コアの集積したものをテストすると言う問題のみに言及するように完全に再定義した。個々のコアへの詳細な要求は、ロジック、メモリ、ミックスシグナル、等の各テーブルでカバーされている。その結果、より読み易く、そして SoC テーブルの使い勝手も良くなり、更にそれぞれのコア自体に対する必要要求も駆動できた。コンシューマ用途ロジックが 2007 年のロジックテーブルに加えられた。2005 年版のロジックテーブルは、大量生産のマイクロプロセッサだけに焦点を合わせコンシューマ用途は省略していた。

2007 年版での他の変えたところは、DRAM、フラッシュ、および内蔵メモリのテーブルを一つのメモリテーブルに統合したことである。2005 年はギャップとして認識していた内蔵 SRAM が 2007 年版ではロードマップ化している。メモリテーブルの DRAM 部分は新しいモデルに基づいているが、2005 年の情報以上に入出力データの速度が顕著に増大したことを示している。汎用 DRAM の入出力データの信号速度は 2022 年までに 8Gb/s 以上に増加するであろう。

2007 年版ロードマップには重要な追加がある。RF とテストソケットテーブルを追加した。2005 年にロジック、通信デバイス、メモリに対応して 3 つに分けていたハンドラロードマップは、一つのテーブルに統合したが、2007 年版では DUT 電力消費量に基づいて 3 つの領域に分割した。プローバテーブルにおいては、2005 年にロジックのみに焦点を当てていたが、2007 年版は全てのタイプのデバイスの必要要件を表した。LCD ディスプレイドライバ、イメージセンサ、及び、他の大量生産デバイスの様な特殊デバイスに関しても新しい節を追加した。これらのデバイスはコンシューマ用途や自動車用途のために要求されたものであり、他のセッションでカバーされていないものである。これらの特殊デバイスの要求は、他のテーブル内で詳細化された要求を超えているので、その要求要件を駆動していくことができるだろう。

最後に、テーブルの色とその値の入れ方の新決定方法に基づいて 2007 年版では多くのテーブルの色が変わった。そのデバイスに望まれる必要性に基づいたシリコンデバイスメーカの要求によって、テーブルの各要素の値は決定された。その要素の色は、半導体デバイスメーカが述べた必要性に対する装置サプライヤーからの回答を踏まえたものである。

このドキュメントは謝辞で注釈した産業の広い階層からの重要な貢献でもって作成したものであるが、一方で、テスト技術 WG は常に追加の参加者を捜している。もし読者の方で参加することに興味があれば WG のリーダーに連絡を！

主要なドライバ、困難な課題、および将来の可能性

ITRS テスト章の 2005 年版編集においてテスト章の重要な節は、主要なドライバ、困難な課題、及び、将来の可能性の節を追加し、それまでの困難な技術課題節を再編成したものであった。この分離によって、半導体部品の今後の製造工程テストに関する解決策の範囲を定義する主な境界条件であり、主要な技術的かつビジネス的な課題であるドライバを区別した。高次レベルでは、これらの境界条件が、テスト工程の期待や要求を実際に表すことになる。一方でその課題は、現在と今後の主要な障害と戦略的活用点、あるいは、将来の見込みを表すことになる。その主要なドライバが、この章の多くの概念とテーブルの中の数値を決定している。半導体ロードマップと経済的に合致するために不可欠な更なる開発、あるいは更なる理解という領域が、この困難な技術課題によって定義されている。

何年もの間、半導体製造工程のテストの役割は、“欠陥を取り除くこと”、そして、少し広い意味では“スピード選別”あるいは“スピード分類”と云うある種のビジネス区分に属するものとして述べられてきた。幾つかの最も重要なテストの課題が、製造工程のテストにおける多くの緻密で歴史的な使命 — 信頼性と歩留向上 — の中で、今や実際に中心を占めていることは注目に値する。また、これらの課題のインパクトは、製造工程のテスト自体に影響するに止まらないことに留意すべきである。それは、将来の工程の歩調やタイムリな展開を可能としコスト的にも見合った製品を可能にすると言う意味だけでなく、信頼性に対する顧客の期待に応えると言う意味においても半導体ビジネス全体に欠くことができないことである。

2 テストとテスト装置

困難な課題の節の中で、課題は分かっている重要性や優先性の順に記載されている。例えば、歩留習熟のためのテストは、信頼性のためのスクリーニングのテストや系統的な欠陥の増加に対するテストより優先的である。一方、主要なドライバの記載順には特別な意図はない。それらは全て、満たされるべき半導体テスト解決策の境界条件や要求である。Table.TST1 は主要なテストドライバと課題と見込みの全てをまとめたものである。

Table TST1 *Summary of Key Test Drivers, Challenges, and Opportunities*

<i>Key Drivers (not in any particular order)</i>	
Device trends	Increasing device interface bandwidth (# of signals and data rates) Increasing device integration (SoC, SiP, MCP, 3D packaging) Integration of emerging and non-digital CMOS technologies Complex package electrical and mechanical characteristics Device characteristics beyond one sided stimulus/response model Multiple I/O types and power supplies on same device Multiple digital I/O types on same device
Increasing test process complexity	Device customization during the test process “Distributed test” to maintain cost scaling Feedback data for tuning manufacturing Dynamic test flows via “Adaptive Test” Higher order dimensionality of test conditions
Continued economic scaling of test	Physical limits of test parallelism Managing (logic) test data and feedback data volume Defining an effective limit for performance difference for HVM ATE versus DUT Managing interface hardware and (test) socket costs Trade-off between the cost of test and the cost of quality Multiple insertions due to system test and BIST
<i>Difficult Challenges (in order of priority)</i>	
Test for yield learning	Critically essential for fab process and device learning below optical device dimensions
Detecting Systemic Defects	Testing for local non-uniformities, not just hard defects Detecting symptoms and effects of line width variations, finite dopant distributions, systemic process defects
Screening for reliability	Implementation challenges and efficacies of burn-in, IDDQ, and Vstress Erratic, non deterministic, and intermittent device behavior
Potential yield losses	Tester inaccuracies (timing, voltage, current, temperature control, etc) Over testing (e.g., delay faults on non-functional paths) Mechanical damage during the testing process Defects in test-only circuitry or spec failures in a test mode e.g., BIST, power, noise Some IDDQ-only failures Faulty repairs of normally repairable circuits Decisions made on overly aggressive statistical post-processing
<i>Future Opportunities (not in any order)</i>	
Test program automation (not ATPG)	Automation of generation of entire test programs for ATE
Simulation and modeling	Seamless Integration of simulation and modeling of test interface hardware and instrumentation into the device design process
Convergence of test and system reliability solutions	Re-use and fungibility of solutions between test (DFT), device, and system reliability (error detection, reporting, correction)

*ATE—automatic test equipment ATPG—automatic test pattern generation BIST—built-in self test
HVM—high volume manufacturing
MCP—multi-chip packaging MEMs—micro-electromechanical systems*

主要なドライバ

既に述べたように、テストの章における主要なドライバは、継続的なテスト・コスト・スケーリングで、半導体のテスト機能が動作し、満足できる部品の品質と信頼性を供給するための境界条件であると考えられる。

デバイスのトレンド

- デバイスインタフェースの帯域 — 2001年版 ITRS ロードマップでは、問題の変化の方向は、(以前のトレンドと比較して)急激な部品の I/O 速度の増加に伴うシステム性能の向上に対応することを意味していた。2003 年版、2005 年版及びこの 2007 年版では、テストワーキンググループは、2001 年版の予想

ほどの急激な速度の増加はないものの、Gb/s インタフェースが半導体部品の市場区分(メモリ、CPU、チップセット、他)のより広い領域へ浸透することを記している。高速シリアル I/O と差動 I/O のプロトコルは、速度上昇を続け、持続的なテストコストのスケールを維持するように DFT と HVM(high volume manufacturing) テストプロセスにおける技術革新を求め続ける。

- **増加するデバイスの統合** — SoC (system-on-a-chip)と SiP (system-in-a-package) によるデバイスの統合が、多くのビジネス区分を通して行き渡っている。このデバイスの統合は、テストコストのスケールと製品品質を維持するためのテスト解決策の再統合を強いる。単独の RAM やコアやその他のブロックのために最適化されたテスト解決策では、修正や追加的 DFT や新たな分割なしでは、統合されたデバイステスト解決策に関して比例的につりあわない。とりわけ、ダイまたはパッケージにおいてさえも、埋め込まれたブロックやコアにアクセスしてテストするために、追加的な DFT が必要とされるかもしれないし、または量産テスト機器の追加的な分配と再統合が必要とされるかもしれない。マルチダイパッケージングのための高品質ダイを供給する KGD (known good die)の技術もまた、テスト技術とコストトレードオフの非常に重要で不可欠な部分となる。
- **新たな非デジタル CMOS 技術の統合** — こしばらくの間、ミクストシグナルデバイス回路がデジタル CMOS に統合されたダイで増加的に供給されており、これが ATE、測定機器、テスト生産フロー統合の選択における主要な課題を突きつけている。それはまた、DFT 革新のための新たな課題と機会を提示している。それはデジタルのロジックやメモリにおける DFT のようには普及していない。RF 回路の統合は、より根本的に異なる半導体デバイスタイプ、例えば、既に統合フォームのなかに姿を現している MEMS や、大規模 CMOS デジタルダイへの統合が間近に来ている光学系などと同様に高まりつつある。これまでの統合のタイプのように、これらのデバイスについてのテスト使命は、潜在的に埋め込まれたブロックへのアクセスと、根本的に異なるテスト手法をコスト効果のある製造プロセスへ統合することである。
- **パッケージ形状因子と電気機械的・熱的特性** — パッケージ形状による限界性能は内側と外側の両方の因子から要求を受けている。ハイエンドのマルチダイのための MCP や SiP におけるより複雑な形状因子があり、しかしまた、最も小さなプラットフォームの形状(例えばハンドヘルド)を目的としたシステムのためにスモールエンドに向けて推し進むチップスケールパッケージングがある。さらに、熱の放射、拡散、あるいは電圧制御や消費電力管理などの機能をも含めたダイパッケージの多機能性が増加しているように見える。消費電力の増加に伴う主な関心事として、形状要因からくる熱転送特性や均一性 (theta-JA、-JC 他)がテストプロセスにおいてなおさら重要となる。これら形状因子技術の限界性能の向上は、主要なテストサブシステムの改善と供給を必要とする。パッケージテストのハンドリング、接触抵抗低減技術、テストソケットがそれである(後に章の後半で初めて述べられる)。
- **様々な条件でシミュレーション可能なデバイス特性** — 半導体テストとテストアーキテクチャおよび使用法の歴史は、決定論的なデバイスの挙動を基礎にして成り立っている。加えて、デジタル CMOS テストは、歴史的に、Vcc や温度や周波数などの環境トポロジを単純化することに基づいてきた。それ故、ワーストケース1条件で 1 回のみ行われるテストは、より広く連続的な範囲の環境トポロジにおける性能を保証していた。これらのトポロジが 2 つまたは 3 つの変数であれば、それらは制御可能であるし、量産テストのための特徴づけと最適化は大変容易である。しかしながら、デバイスの特性の数により、この 1 条件テストパラダイムの低次元性は脅かされている。量産のためのテストコスト削減を潜在的に制限することと同様に、繰り返し発生しないテストの開発コスト(NRE)における非線形効果を脅かしている。拡張された自己救済・修正、組込みの可変多電源制御モードなどのデバイス機能は、すべてにおいて潜在的に、とてつもなく大きな複雑さをデバイステスト条件概略に付加する。そのうえ、デバイスの設計、アーキテクチャ、挙動領域の点から、非決定論的な挙動(例えば、非同期ロジックアーキテクチャ、そして、欠陥耐性を持つデバイス)を示すデバイスが今後増加する可能性がある。そのような挙動においては、同様な条件下でのダイごとの(エンドユーザシステムの見地での)正しいデバイスの挙動は、時間/ベクトル同期の見地からは決定論的ではない。これらの挙動はエンドユーザとエンドシステムの見地が正しい限りは、同じ同期信号で供給された 1 と 0 のデジタルロジックの集合で、このような挙動を十分テストできるような、伝統的な量産テストの入力応答モデルを逸脱するであろう。これらのデバイスのアーキテクチャと挙動は、現在広く普及しているわけではないが、そう遠くない将来、それらは半導体テストプロセスのための主要なパラダイムシフトまたは革新課題を突つけるだろう。

4 テストとテスト装置

- 複数の I/O タイプ、および、複数の電源を持つデバイス — SoC や SiP のような集積されたデバイスに牽引され、コア毎に電力消費が最適化された電源が増加してきた。ロジック、アナログ、メモリ、ミックスシグナル、そして、ハイスピード I/O は、各々、異なる電源コンディションの下で最適に機能している。複数の電源を使うことは、電圧を発生させたり、制御しようと試みるより、ダイエリアと電源を省略するし、コア部分より大きなノイズアイソレーションを達成する手助けとなる。シングルエンド、そして、デифференシャルエンドの I/O はデータ転送能力を制限しない限り電源は最適化されるであろう。

増加するテストプロセスの複雑さ

- 増大したデバイスのカスタマイズとライン項目の複雑さ(テスト工程間の) — 「これは良いダイなのか？」という質問を取りまく測定だけでなく、特定のダイを修正、差別化、カスタマイズする現実のプロセス段階をも含めるために、テストプロセスはますます拡大している。これらの例としては、メモリブロック(とその他の)冗長/救済、ダイ上のチップ設定用ヒューズの溶断、読み出し専用メモリ(ROM)のプログラミング、または、その他の製品機能のプログラミングなどが挙げられる。さらに、いくつかのビジネス区分では、製造テストフローの区分として、識別と物理的分離によって、同一のダイベースから引き出される製造ライン項目の実質的な増加が見込まれる。このすべてが、増加する製造テストプロセスの需要を招き、装備(例えばハンドリングやヒューズ溶断など)や生産の自動化および統合のインフラを拡大する。
- コストスケールを維持するために増大した“分散”テスト — DFT 技術の広い応用によって可能となった、テスト内容や計測器や装置基盤要求の分散化は、テスト設備への資本支出や運用テストコストや完成製品品質を最適化するために広く普及する産業テストプロセスの統合案となり続けるであろう。設計検証と製造テストというそれぞれ違うタイプの装置の分散と差別化が続くだろう。この差別化のための典型的なベクトルは、検証ツールと製造ツールにおけるスピード、正確さ、チャンネルの数と種類などの違いに集中するだろう。将来の製品で、ミクストシグナルあるいは光学系とメカニカルシリコンなど多彩な CMOS 回路が一緒に統合されることで、分散テスト解決策が引き続き生み出されるであろう。むしろ、少なくとも製造テストにおいては、ATE のプラットフォームの方向性が“何でもできる”プラットフォームの複雑さを増すよりも魅力的である。関連して、製造テストフローそのものについては、複雑さ(段階数や相互作用)が増すであろう。
- 製造調整のために増大したテストデータフィードバック — いくつかの理由によって、与えられたダイの良否の識別を超えた目的のためのテストデータ利用が不可欠となり、拡張、改良され、より良く統合されたテストデータのシステムと設備基盤が必要となった。ある意味で、構成要素のテストプロセスからの出力は、製造ダイスと生産ロットを横断したテストプロセスで様々に適用された測定の結果としてのデータである。製造工程での歩留習熟や独自の材料識別、分散化された製造テストにおけるフィードバックのためのこのテスト出力(データ)のもっとよい統合された利用の必要性は、ただ持っている者にとって良いだけでなく、重要で不可欠な、前向きな応用となる。
- アダプティブテストを用いたダイナミックなテストフロー — 全体的なテストコストを低減するための具体的な方法は、固定的なテストフローを変えることであり、その方法として、直近のテスト結果に基づき特定のテストを行うかどうかについて、ある確率に基づいて実施するかどうかを決定する方法がある。もし、あるテスト、またはテスト群が、統計的に見てテストの必要性が低いと判断される場合、そのテストは一時的に省略するか、もしくは別のテストに置き換えることができる。テストが必要かどうかの確率により、実施すべきテストを増やすこともできる。
- テスト条件の高次元化 — 従来、部品の製造テストでは、2 つか 3 つの環境変数(典型的には、電圧、温度、周波数)についてのポイントまたはコーナー条件からなる簡単なマトリクスを使って、テスト条件のポイントが描く図形を越えた、製品仕様のより高次元の曲面と内部空間を保証してきた。バッテリー応用プラットフォームからクライアントコンピューティングやサーバまで、幅広いマーケット範囲の部品が消費電力管理のための多くの仕組みを付加しており、これが直ちにワーストケーステスト条件の描く曲面に急激な複雑さをもたらしている。例えば、複雑な部品の仕組みには、複数または可変電力モード(スリープやハイバネーション)、あるいは通常動作時に電圧や周波数を即時コントロールしてアプリケーションの最適電力制御を達成するためのシステムが含まれるだろう。これらの可変値の次数増加によって、部品の製造テストのためのより大きな環境的なテスト条件集合を決定し、特徴づけ、最適化(削減)することが困難になっている。この複雑さのペースが維持されると、追加的な検証労力とより複

雑な環境的なテストポイントの質を保証するための革新的手法が必要となる。これは製品テストにおけるより複雑なワーストケース条件の欠落を防ぎ、予測を確かにするために必要である。このテスト環境的集合ポイントの複雑さの増加はまた、製造フローにおける様々な集合ポイントで適用されるテストの内容とテストの繰り返し数との積で効いてきて、テストコストの継続的な削減に対する課題でもある。

持続するテストの経済的スケーリング

- **同時測定 of 物理的限界** — ここ数世代の間、特にコモディティなメモリにおいて、またデジタルロジックにおいても、トランジスタ数や機能の増大、入出力とコアの更なる高速化などに関連して、同測性(一回のテスト挿入でテストされる DUT の数)を持続的に増やすことが、テストの経済的スケールを維持するための主要な方法であった。現在のテストツールとインタフェース・ハードウェアの統合パラダイムでは、同測性の更なる増加は、すぐに非直線的な限界に達し、その影響は次世代に現れるであろう。これは、物理的または電氣的な近接を許容しながら、DUT とテスト機器のあいだの空間にどれだけ多くの電気チャネルを押し込めることができるかという実用的な限界による。テストの経済的スケールを持続させるための代替手法、または現在の発想をこえて同測性をさらに増加させることができるような、DUT、ハンドリング、接触、テスト機器統合についての新しいパラダイムが必要となるであろう。
- **(デジタルロジック)テストデータ量の管理** — 無制約に増大したデジタルロジックダイの複雑さと内容に比例してテストデータ量(ベクトル幅)が増大している。この追加的なテストデータ量は、テストツール(ATE)のチャンネルあたりの追加ベクトルメモリの深さを増し、DUT あたりのテスト時間を増やすことで、テストの資源的、運用的コストを増大させている。現在、多くのロジックテストベクトルの圧縮手法が開発され、種々のやり方で適用されている。例えば、それ自身のデータベース(スキャンベーステストのために)による場合や、製品ダイの上の圧縮ハードウェア(DFT)を経由する場合がある。増加を続ける製品の複雑さと、より高い製品統合(例えば SoC、SiP)レベルのために、データ圧縮は、構成要素のビジネス区分を横断してさらに偏在的になるであろう。また、最終的には圧縮の率(すなわち、非圧縮に対するテストデータベースの圧縮率)の上昇が必要かもしれない。
- **量産用 ATE と DUT とのスピード差の効果的制限** — 近年では、アプリケーションデバイスと製造テスト機器とのスピード差を拡大することが、テストの経済的スケールを達成するための主要な方法のひとつとなっている。これは、分散テストやテスト分割の主要技術であり、I/O ループバックや DUT における特殊テストモードなどの様々な DFT によって可能となる。アプリケーションスピードや設計を検証する ATE と量産用 ATE との差分が、テストの経済的スケールの持続を可能にする。しかし、エンドユーザのアプリケーションで十分な DUT の品質を保証するために、DFT の組合せにおいて必要とされる遅さと不正確さ(例えば信号エッジの置き換えのため)の制限がある。デバイススピードと I/O エッジレートが増加すれば、製造テスト機器のスピードは遅れる。それは緩やかであることが望ましいが、おそらく DUT そのものの変化よりも大きなステップ増分となる。ATE 高速化のための置き換えや拡張の機会が、コストと品質をとともに効果的に保つための最も良い機会をもたらす。
- **インタフェース・ハードウェアと(テスト)ソケットコストの管理** — テストプローブ・インタフェース・ハードウェアおよびテストソケットに基づくコストの一部が、テストコスト全体のなかで占める割合が増加している。これには、より高速(Gb/s)で複雑な DUT I/O プロトコルや増加した DUT 並列性、信号ピンと電源ピンの多数化、電力供給や信号線チャネルの忠実度要求の増加など多くの要因がある。これ自体は憂慮すべき風潮ではあるが、それは、全体のテストプロセスコストおよび生産テスト全体の経済的スケールが持続できるか否かに照らして考えられなければならない。受け入れ可能な範囲でのインタフェース・ハードウェア・コストの管理はまた、技術的ドライバと境界条件にも依存するかもしれない。例えば、そのようなハードウェアのための主要な材料基盤として、可能な層数内で FR4 材料の使用が持続的に拡張していることなどがそれである。

困難な技術課題(優先順)

(1) 歩留習熟のためのテスト

根底にある欠陥構造とプロセス限界を理解するためのフィードバックループとして、また急速な製造プロセスの歩留習熟と改善を実現する手立てとしてのテストの周辺的な役割は、伝統的にハード欠陥をスクリーニングすることに対して二次的な役割と考えられてきた。光波長よりもかなり下回る形状(そして、欠陥)サイ

ズの急激な減少、故障解析スループット時間の急速な増加、故障解析有効性の減退、そして他の物理的技術(パイカ(pica), レーザープローブ(laser probes))の事実上の物理的限界への接近などに伴い、産業は、半導体事業として戦略的な変曲点に到達しようとしている。そこでは、DFT の臨界、テストにより可能となる診断、及び歩留習熟が最優先項目となる。言い換えれば、過去のプロセス世代ごとの歩留習熟速度は、歴史的な故障絞込みと故障解析手法では、本質的に持続可能ではない。それどころか、故障絞込みの特性に関してダイ上の計測と診断ソフトウェアツールを改善するとともに、ダイ上の回路(DFT 回路など)を製品間にまたがって普遍的に配備可能にすることによって、歩留改善速度をより強化する必要がある。過去、メモリ配列上の故障ビットや論理回路上の故障ゲートを絞り込むのに十分だったような箇所において、将来は少なくとも故障トランジスタまたは故障の配線を電氣的に絞り込み可能とするよう実ビジネス上の要望がある。さもないと、新しいプロセス技術において、歩留改善速度の低下による経済的な結末を味わうことになる。おそらく将来プロセスにおいて、ダイサイズ毎に漸近的に達成可能な最大歩留りを下げることになるであろう。部品テストに対するこのミッションに最優先の重要度が与えられ、テストチームは、テストの最優先の技術課題としての関連性をまとめるだけでなく、この主題に関する詳細な節をテスト章の先頭部分に含めた。

(2) システムティック欠陥の検出

産業は、製造プロセス技術や回路感度の変化とモデリング限界に起因する、製造の不完全さに関連したテストと歩留習熟の新しい技術課題に直面している。

- ・ プロセス技術の前進は、回路機能に影響を及ぼす物理的欠陥の母集団を変化させている。例えば、より小さいか、より高い縦横比 VIA は不完全なエッチングで、抵抗性 VIA を非常に起こしやすい。エッチングによるメタル配線プロセス(AI)は、異物起因によるエッチング不完全のメタル・ショートの影響をより受けやすく、ダマシンプロセス(Cu)は、異物起因によるデポ不完全のメタル・オープンの影響をより受けやすい。それに加えて、より小さいトランジスタは負バイアス温度不安定性(NBTI)のような重要な劣化性メカニズムを増加させる。
- ・ 設計とプロセスのインタラクションの増加は、システムティックな欠陥を増加させるかもしれない。たとえばパターン密度、パターン隣接および不完全な光学的近接効果補正(OPC)アルゴリズムのために、そのような欠陥は、特定の回路/レイアウト形状で起こるかもしれない。それらはシステムティックであるが、まれなことで、発生条件が複雑なため、ランダムに発生するように見えるかもしれない。
- ・ 回路感度を変化させることは、おそらく過去に良性だった欠陥を、将来は致命欠陥にしてしまうことである。例えば、より短いクロックサイクルでは、10psec から 100psec の遅れを引き起こす欠陥が、より回路故障の原因となることを意味する。さらに、電力最適化され、かつ、あるいは論理合成された設計では、かなりなタイミング・マージンを持ったパスがより少なくなる。そして、それはランダムな遅延欠陥がより故障を起こしやすくなることを示す。同じように、例えばクロストークや Power/GND バウンスのような雑音効果の増加は、ノイズやタイミング・マージンを減少させ、再び欠陥に対する回路感度が増加する。
- ・ モデリングの複雑さは、全てのプロセス条件下で回路の機能を保証するための EDA/設計の能力を脅す。プロセス変動と結びついたその能力の減少は、テストの床に達する回路のパラメトリック故障モードの増加となるかも知れない。

故障モデリング、テストパターン生成、テスト検出率算出、DFT 解決策、テスト・アプリケーションと診断を含むテスト工程の全ての側面で、これらの現実的で挑戦的な製造/オペレーティングの不完全さの母集団を扱わなければならない。有望な戦略としては、現実的な欠陥ベースの故障モデリング/ターゲッティング、低 VDD または温度のようなスペック外を検出するテスト、統計的手法、アダプティブテスト等が含まれている。これらの技術あるいは他の技術が正確に目標を目指し効果的であるためには、製造の不完全さの母集団におけるその発生と性質についての非常に忠実な情報が必要とされるであろう。

(3) 信頼性のためのスクリーニング

主要な「欠陥除去」や良品と不良品を見分ける以外のあまり公表されない半導体テストのミッションは、初期故障を除去し、製品集団の信頼性を許容可能なレベルにすることであった。これをテストの「欠陥」ミッ

ションよりに言い換えれば、この重要な機能を「 $t > 0$ 欠陥の除去」と呼ぶことができる。ここで時刻「0」は、部品供給者から顧客への納入により製品が移動する日を指す。歴史的に、異なった半導体ビジネス分野においては、顧客の要求品質に合わせるため、製品集合の信頼性の低い部分や製品を十分な数だけ除去するために、製造工程においてバーンインから IDDQ、電圧ストレス印加までいろいろな技術を使ってきた。同様の動機から、特にバックグラウンド・リーク電流の増加や動作マージンの減少(プロセススケーリングによって Vdd/Vcc が低下)、これらの技術の全ては、効果が減少し、あらゆる面においてより高価になってきている。バーンイン装置と技術は本質的に変化しないままであり、80 年代前半から 90 年代半ばまで多くのプロセス世代を渡って再利用され、90 年代後半にはバーンイン生産システムは(この技術を導入する製品区分において)、テスト資金とインタフェース・ハードウェア・コストの最も大きな増加領域のうちのひとつであった。バーンインにおける高電圧と高温(初期欠陥の加速目的)では、リーク電流レベルは通常使用条件下より非常に高い。それに加えて、製品の Vcc と温度マージンの減少は、潜在的な欠陥母集団を加速するのに利用できる範囲を制限する。ASIC から SoC、汎用メモリまでの製品分野で広く使われていた IDDQ は、「正常な」静止電流レベルに対して潜在的な欠陥を含む DUT の SN 比が非常に減少するという、バックグラウンド・リーク電流の増加に比例するのと全く同じトレンドで大きな技術課題に面している。実際、これは少なくとも 250nm の DRAM ハーフピッチから課題とされ、多くの会社でより進歩した技術を使い始めた。例えば、初期欠陥に対して効力を保ちつつ無効な歩留ロスやコスト影響を減らすために、複数テストの結果と、 Δ IDDQ や他のブーリアン【訳者注:スキャンテストや機能テスト等、電圧レベルで出力の論理値 0/1 を判定するテストを指すと思われる】静的状態の Icc/Idd とを組合せて比較する技術があげられる。テクノロジー世代ごとにいくぶんより低い固有リーク電流レベルを持つ傾向があった汎用メモリは、なんとかいろいろな IDDQ 技術によって他の製品ファミリーに比べて多少延命にすることができた。しかし、それらでさえ現在、1 世代または 2 世代先のテクノロジーについては IDDQ 技術の有効性が現実に落ちてくると予想が報告されている。同様に、潜伏欠陥を加速するための正常基準範囲を越えた電圧ストレスや Vcc/Vdd とパターンの印加は有効性を失いつつあり、特に、Vstress と Vnominal の電圧差は各世代で縮小している。長い目で見れば、おそらくここ数世代でいずれ、少なくともいくつかのビジネス分野や製品タイプにおいて、この信頼性スクリーニングを提供する機能のために新たな技術が必要である。調査中のより新しい概念のいくつかは、intra-die test(同一 die からの結果)と inter-die(隣接ウェーハ解析、ロット内解析、アダプティブテスト(adaptive test)範囲、ロット間解析)の双方のいろいろなテスト結果の中において、ブーリアンおよび分布アルゴリズムを改良したものである。おそらく大きな推進の役割を演ずるもう一つの方向は、自己診断と自己修復による修復である。そして、それは今日エンベデッドメモリ RAM 上で、またはエラーコーディング検出と修復(ECC)技術によって実用化されている。このチャレンジはメモリに留まらないであろうし、むしろ方法と時を同じくして、論理回路においても自己修復への同様の能力や代替アプローチは実際に適応可能で、入手可能になるであろう。

(4) 歩留ロスのポテンシャル

製造歩留ロスとは、そのデバイスを搭載する製品(システム)上では正しく動作するかもしれないデバイスを不良品としてリジェクトしてしまうことで、いかなるテストや検査を行うたびに発生するものである。歩留ロスの原因には以下のようなものがある。

- ・ テスタの不正動作(タイミング、電圧、電流、温度管理など)
- ・ オーバ・テストイング(例:非機能パス上の遅延不良)
- ・ テスト中に加わる機械的ダメージ
- ・ BIST などのテスト用回路のみで不良が発生
- ・ 幾つかの IDDQ のみの不良
- ・ 通常リペア可能な回路でのリペア失敗
- ・ 統計的プロセス結果判定のやり過ぎ

テスタ動作不良による歩留ロスは実速度機能テストに代わるテスト手法の導入により、ある程度まで低減されている。DFT 手法は、APAM(Advanced Pattern Application)や NFM(Novel Fault Models)によって生成される実速度テストベクタにより、現在最も良く検出される”間接的”不良のカバレッジを今より上げるように発展しなければならない。しかし、この開発に過剰な期待をかけないように注意すべきである。妥当な故障モデルへの更なる取り組みも同様に必要である。

パラメトリック・テスト(タイミング、電圧、電流、そして温度管理)時のテスト動作不良やテスト実行中に起こる DUT パラメトリック変動は、歩留りに影響する十分に大きなガードバンドを必要とする。先進的リソグラフィを使うことにより増加している DUT パラメトリックの多様化は、より大きな効果を発揮する BIST や他の代替テスト手法、例えばチップ上にパラメトリック測定回路を形成するなど、の必要を迫っている。

同様な歩留ロスに関する課題が不正確なラウンチ・キャプチャ方式の遅延テストで近年表面化して来た。遅延回路測定では 15pS の遅延回路測定誤差が観察されている — これは近年発表された内部クロック周期の 10% であり、今のところまだ手法が確立されていない遅延回路測定にマージンテストを加えると云うような方法もあるが、歩留ロスまたはテスト見逃しの可能性を示唆している。同様に、遅延回路測定で不適正な遅延回路が測定された場合も歩留ロスの一因となる。ツール【訳者注: パターン発生】は、不正回路測定で生じる歩留ロスを避けるように開発されなければならない。

IDDQ 不良は様々な内部接続や他の不良を検出することで知られている。しかしながら、もし IDDQ のみの不良がそんなに深刻ではないとしたら、バーインでほんの数%変化するか、さもなければ何らかの信頼性問題になると云うことが経験的に知られている。これは、最終製品がきわどく無ければ歩留ロスとみなすことが出来る。

統計的プロセス結果判断は不良ポテンシャルを見つける強力なツールになっている。しかしながら、例えば、”不良チップに囲まれた良品チップ”の廃棄などのように、これは本来的に歩留ロスのメカニズムを持っている。

しかしながら、大きな意味で、歩留ロスとは大量の正常に拡散されたデバイスや内部回路を廃棄することを含むと理解されているかも知れない。なぜなら不良となる異常拡散デバイスはほんの少しだからである。このような歩留ロスは冗長回路を持つ高密度メモリでは減少している。同様の手法が、高度な再構成性や冗長性を適用するシステムレベルで使われ成功している。不良抑制のための再構成回路技術、あるいは間接的ダメージの原因とならないリペア手法に着目したリペア技術の継続的開発が求められている。

オンラインテストとリペアを連携させる方法に関しての研究開発はシステム技術として豊富な歴史がある。これらの努力の結果を IC に取り入れることは、広い意味での歩留ロスの低減に繋がる可能性がある。ロバスト設計、オンラインテスト、およびその場でのリペア技術の開発に関する更なる努力が求められている。

将来の可能性

テストプログラム自動生成 (ATPG では無い)

EDA(Electronic Design Automation) 業界がスキャン DFT の機能を利用したスキャン圧縮や DFT 合成などを提供している一方、たとえばエンベデッドメモリでは半導体ベンダはテストプログラムの生成においてテストプログラム自動生成ソフトにエンジニアリングコストをかけている。今日においては製造部門やテスト設計会社は新しい顧客のための個別のテストプログラム自動生成ソフトを作るために多くの時間を費やしている。ATE と共に主として ATE ベンダによって提供された、または半導体ベンダが自社内で作成した、異なる数々のこのための多くのテストプログラム自動生成ツールがある。以前からテストプログラムのためのデータや構造が標準化されてきている(テスト・データ・フォーマット(tdf)あるいは標準テスト・インタフェース言語(STIL))。しかしながら、有効なテストプログラムを広く利用可能で簡単に利用できるソフトウェア製品にはなっていないという基本的な問題はのこっている。この業界では 1000 もの同様の機能のツールがある。

シミュレーションとモデリング

設計段階のシミュレーションシステムやダイのパッケージングだけでなく、テストインタフェースハードウェア、ひょっとしたら、ATE の測定回路自体(パラメトリックと論理回路の両方)を含めたモデリングの拡張は、製品と製造のテストの検証サイクルを短くするであろう。この拡張は、また、製造テストの機能を埋め込んだ DFT の仕組みを有する DUT の予備設計検証における信頼性を高めるであろう。予備設計段階において、シームレスに統合化されたシミュレーションとモデリング環境を提供することは、製品の性能予測の精度を高めるばかりでなく、テスト工程の調整の手助け、DFT やテストインタフェースモードとハードウェアにおける軽微な不具合のために行う設計修正を減らせるであろう。

テストとシステム信頼性の統合

最も広く普及している DFT 手法(スキャンのような)は高級な大型コンピュータにおける高信頼性の要求を満たすために開発された。このスキャン構成されたハードウェアは、製造テストの選別目的のためにも使用可能であることから、大型コンピュータ産業において普及した。将来、アルファ粒子や、宇宙線で誘発されたソフト・エラーや、不安定な回路の振舞いや、他の間欠性の予測できないレベルの振舞いなど、ダイ内部での多くの物理的、回路的な現象による信頼性の低下が増える。これらを受けて、現象の検出や現象を修正する手段が提供される。このため、デバイスの機能はさらに拡張する。スキャンがそうであったように、本質的にエラーを押さえ込む改善されたシステム信頼性を提供できる設計の開発や適用が、今日、RAM の上で使用されるエラー訂正が普及したように製造テストの選別目的のためにも普及する。

また、将来の可能性としては、おそらく出荷テストにも使用可能(より稀少な予測不可能な断続的な振舞いに対して検知し欠陥の修正を行うことに対して)となるため、テストとの統合が行われる(メモリのリダンダancy/リペアのように)。しかし、より楽観視すれば、それらは恐らく将来の半導体テストに有効で、より効率的で、よりオーバーヘッドを減らしたかたちになるかもしれない。

テストと歩留習熟

良品/不良品を選別する機能に加えて、テストはディープサブミクロンの製造プロセスに備わる欠陥メカニズムを理解するために不可欠なフィードバックループを構成する。欠陥位置絞り込み、プロセス尺度、故障原因の特定を、コスト面で効果的にサポートするために、テストはその能力を向上しなければならない。

電氣的テストベース診断

テストベースの習熟は(1)欠陥と(2)パラメトリックの両方に対して必要とされる。欠陥の習熟はランダム欠陥とシステムティック欠陥の両方に対して必要とされる(“欠陥と故障メカニズム”を参照)。テスト構造ベースの欠陥習熟手法は、伝統的な領域制限とカバー可能な物理的設計形状の数の両方に苦しむ。欠陥感度は OPC アルゴリズム、近接形状や隣接密度のような複雑さの関数になるので、製品テスト診断の基礎的習熟がますます重要になり、本質的に重要な物理的設計形状を製品に反映する。

パラメトリックに関係したフィードバックは(1)デバイスと内部接続パラメータや、(2)設計プロセス相互作用に対して必要とされる。デバイスと内部接続パラメータの計測は、伝統的にテスト構造、特にスクラブライン FET や内部接続抵抗や容量モニタ、に頼っている。将来有望な代替りの策、リングオシレータのようなもの、は開発中である。しかし、そのような構造は、カバー可能な物理的、電氣的形状の数によって制限される。回路パラメータはそのような形状にますます影響のあるパラメータで、製品テストの基礎的習熟が重要になる。また、製品テストは Power-grid-droop【訳者注:IR ドロップの一種。局所的な電圧降下のことと思われる】やクロストーク故障のようなノイズに関係した故障を導き出すことを含め、設計プロセス相互関係にフィードバックするのによく適している。製品テストベースのパラメトリック歩留習熟は、発展を必要とする比較的未熟な領域にある。

電氣的テストベースの診断手法は、論理回路、スキャンチェーンやメモリを含む回路に対して必要とされる。メモリ技術は、最も成熟しているが、マイクロプロセッサがテクノロジーリーダとして RAM にとって代わってきているので、もはや単独で足りるというわけではない。故障したスキャンチェーンの歩留りへの影響は最近の診断の焦点となっているが、より幅広く適用でき、正確な手法が必要とされる。同様に、論理回路診断は進歩してきているが、分解能と精度の制約が未だに受け入れがたい低成功率の原因となっている。さらに、クロックや下部構造ネットに影響する欠陥は今日の手法では診断が難しい。ツールは、抵抗性ブリッジ、抵抗性コンタクト/ビアやオープンを含む全ての現実的な物理欠陥を扱わなければならない。また、方法は、スキャンベース、BIST ベースのテスト、ファンクションテスト、IDDQ テスト、特に重要な遅延テスト、を含む全ての主要なテスト手段で検出された故障に対する診断を扱う必要がある。

ツールおよび手段は、下記に示すいくつかのソフトウェアベース診断のレベルをサポートするべきである：

- ・ 分解能とテストコストオーバーヘッドのトレードオフを考慮しながらの生産するに値するデータの収集。重要なことはテストデータ圧縮と BIST 手法を含むことかもしれない。最低限の要求は故障コアのコア特定である。平均したテスト時間オーバーヘッドは 1%未満であるべきである。
- ・ 選択されたエンジニアリングやモニタウェーハまたはロットでの広範なデータ収集。細分性は、正確な故障タイプのパレート図を作り、ツールの共通性解析を対応するのに十分でなければならない。スループット時間は、十分な生産量の生産プロセスに折りよいフィードバックを提供できるくらい短くな

ければならず、時間ゼロの故障と信頼性の故障の両方をサポートしなければならない。ツールは、故障ネットを特定するだけでなく、故障した配線層も特定すべきである。そのような解析は、レイアウト情報とインラインテスト結果の両方・またはどちらかを故障箇所特定と統合することを必要とするであろう。通常のテスト時間は秒オーダーにあるべきである。生産の初期段階では、材料のより重要な部分がそのような大規模なログに出力されるかもしれない。

- ・ 単一トランジスタか $10\ \mu\text{m}$ 以下の配線部分や故障した配線層に欠陥を特定する個別のダイ解析。そのような解析は、特殊目的の診断分解能向上 ATPG やフェイルデータ収集とアナログの再シミュレーションの両方もしくはどちらかを伴い、故障解析にて追跡調査されるだろう。解析時間は前の 2 つのケースよりかなり長いかもしれない。

データ収集下部構造は増加する診断ニーズをサポートしなければならない。特に、ATE は、DFT テスタに関する表 TST4a と TST4b に予測されたスキャンベクタ率モデルにおいて、スキャンデータを制限なく収集すべきである。BIST のような DFT 技術は、必要なデータ収集のサポートを特に考慮して設計されなければならない。IDDQ 計測デバイスは診断により要求される精度レベルをサポートする必要がある。単一もしくは少数の故障ネット候補に特定することを可能にする診断データ収集は全テスト時間に対して著しく追加すべきではない。加えて、工場統合の問題も処理されなければならない。データ獲得と管理能力は歩留習熟のための統計的解析と大量の生産データ掘り起こしにおける信頼性向上をサポートしなければならない。ファブレス/ファウンダリとサードパーティ IP を含む、分散設計と製造のための、歩留データフローのメカニズムもまた、開発されなければならない。例えば、データ管理戦略は、複数の生産品の中に含まれる同一コアの一貫したデータ収集を要求される。

最後に、多くの欠陥ベース診断技術は位置特定に集中してきたが、物理故障解析に頼ることなくテスト情報に基づく真の根本原因を特定するための手法が必要とされる。それを可能とするのに鍵となるのは、個々の欠陥タイプを識別できる特性評価テスト手法である。パラメトリック解析のために SRAM ビットラインアクセスさせるマルチプレクサベース技術で使用されるような DFT サポートが要求されるだろう。レイアウトデータを用いた電氣的特性評価とテスト構造/インラインテスト結果と欠陥感度のレイアウトベース確認を統合する診断の統合もまた鍵となりうる。

故障解析

電氣的テストベース習熟はますます重要になっているが、特に、欠陥タイプがよく知られておらず技術習熟するまでの間や、テスト漏れやシステム/市場故障のような重要な故障の理解のために、故障解析[FA]が未だ必要とされる。CMOS 技術の移行作業は伝統的な FA 工程にひどく挑戦的である。欠陥分離、加工や物理特性評価は時間がかかりすぎ、定常解析としては難しくなる。(解析の)ペースを保つためには、現存するツール/技術の発展やブレイクスルーが必要とされる。FA 性能ギャップについて以下の優先リストに詳しく述べる。

1. **Fault isolation** — パッケージやベアチップ状態での電氣的故障や欠陥を同定する現状のツールは感度と空間分解能が限界に近づいている。例えば、技術(TIVA、PEM など)の殆どは赤外線を利用している。赤外線は空間分解能が約 $1\ \mu\text{m}$ までが限界であるので、現状では最小加工寸法よりも1桁以上も分解能が悪い。SEMやFIBの手法(電圧コントラスト、EBIC)はより分解精度がよいが、照射部が導体の場合はデバイス全体を完全に観測することができない。同様に、SPM(トンネル型顕微鏡)は照射部が絶縁帯のみにしか適用できない。電磁界抵抗センサーを用いた近傍電磁界画像技術は高性能であるが、感度と分解能はあらゆる要求レンジには現状ではまだ不十分である。この分野は故障解析が妥当なコストと時間面で有益となるような新技術開発が緊急となっている。
2. **Circuit probing** — 顕筒内蔵型(SEM)や原子間力顕微鏡によるプロービングはナノスケールの最小寸法トランジスタ(4接触端子)や SRAM(5 またはそれ以上の端子)のファーストシリコンの解析に用いられる。十分な安定性や現状では観測できてない欠陥や個々のトランジスタパラメータの測定するために必要となっている。もし他のすでに実用化した現状技術でなんとか利用できるのであれば、ダメージを避けるための低加速電圧での SEM 像品質は注目に値する。
3. **CAD/EDA tool** — 故障解析の実施はスキャン手法に大きく依存しており、故障場所を直接出したり、他の故障場所の同定用ツールと相互に補完している。精度向上を目指すことで、“ソフト”故障やAC故障への応用が円滑にするために、EDA ツールに組み込めることが求められている。CAD ナビゲーションは空間と時間ベースの両方、すなわちシミュレーション波形とリンクしなければならない。圧縮技術の開発が一層進み、幅広く使用されることになるので診断能力もそれに対応できなければならない。

4. **On-Chip Timing measurement** — 電源の低電圧化は光子放射によるホットエレクトロンを発生させ、急激な電源電圧の低下を引き起こし、その結果、波長が長方向にシフトする。時間分解放射 (TRE) 技術と半導体イメージングレンズ光学 (SIL) の改良が要求されている。レーザ電圧などによるレーザプローブは特に、SOI デバイスにおいて注意が必要で、1nm 以下の固有空間分解能では個々のトランジスタからの信号を区別することにはあまり適していない。動作時に電源電流が増加することで、チップ裏面への光照射や振動の印加が損なわないような冷却方法を開発することも必要である。これらの分野での改良がなされない限り、全く特殊な技術を開発することになってしまう。
5. **New materials and de-processing** — 化学開発やメカニカルサンプルの作製そしてプロセス分離手法には何よりもまず新材料が求められる。FIB 加工や断面構造形成のためには新しい化学ガスの開発が必要である。これらの新材料は故障同定や画像ツールに効果的となる場合もある。
6. **FIB editing** — プロトタイプ回路を評価するために FIB 加工が有効であるが、ビームの着地精度や開口部の高アスペクト比が求められているため、設計変更回数の削減にはこの利用することは限界となっている。さらに最新技術で使用されている新材料に対して加工実施の適用に問題ないことが今後明らかになると思われる。

故障解析のために新たな開発には膨大な費用と高いリスクが生じている。特に、スループット低下と不良解析することの価値への懸念が低下している。その結果、装置の導入がますます特定に集中し、全体の装置市場としての関心が薄れてきている。特にこの傾向は小規模な会社やスタートアップ企業に見られる。たった1社や2社の R&D 投資や偶発的(または突発的)な装置開発によっている現状ではこのリスクは打破ができない。半導体製造企業、装置製造者そして研究者らが、CMOS 以降の技術に対する開発、歩留り、信頼性を確実なものにするためのこの問題に携わらなければならない。

テストコストに注目したトピックス

量産でのテストコストを低減するために技術の進展を継続しているが、その前にまだ多くの研究課題が残されている。半導体テスト技術のトレンドは次に示す内容である。多チャネル化、マルチサイトテスト数の増加、新規構造プローブカードの実用化、新しいハンドリング技術そして DFT 技術である。

この傾向はすでに現在、実用化となっている低性能のロジックテスト装置で明らかになっている。しかしながら、同様な改良をアナログと RF を含んだボード市場に展開するという重要な研究課題がまだ残っている。コストに焦点を絞りを続けることは、テスト方法、ATE 構造、その他の多くの内容を取り込むと言った大きな視点からコストのトレードオフを理解することに大いに役立つことになる。そして、結果としてトータルのテストコストの削減となる。

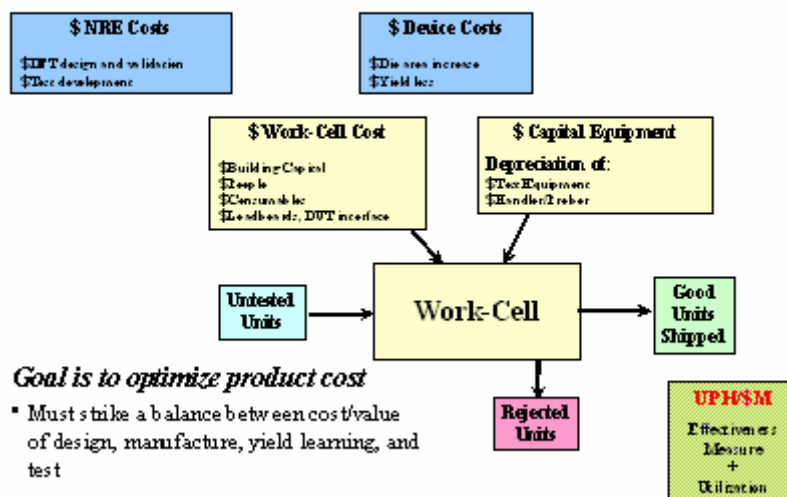


Figure TST1 Test Cost Drivers

半導体のテストコストは多くの要素から成り立っている(図 TST1.参照)。これらの要素の中で重要なことは、デバイスごとにその要素が変わることである。特に、少量生産ではコスト見積りは極めて重要となっている。DFT コストは製品がパッドまたはコア制限となるかどうかによって依存している。許容できるテストコストはまさに市場スペックで

あり、そしてテスト価値とテストコストのバランスによって決定されなければならない。図 TST2 はあるチップに対するテスト品質のトレードオフを示す。

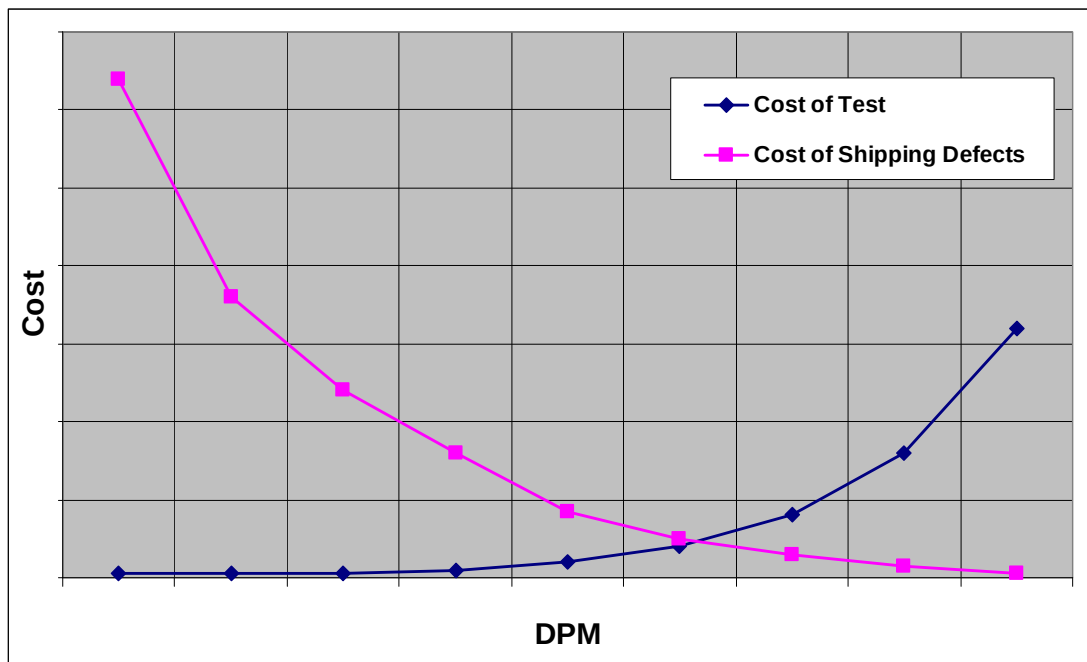


Figure TST2 Quality Trade-offs: An Arbitrary Example to Illustrate the Trade-offs

一般に、DPM を改善することで指数関数的にテストコストは増加する。多くの半導体製造企業は最終的な”0 DPM”品質を訴求している。図に示す傾向にもかかわらず、多くの半導体製造企業はコスト制御のため低 DPM を目標としている。このことはテストコストの主要な部分は分布のすそ部分で使われてしまうことを意味する。我々が期待している技術進展とは、耐欠陥技術がより普及することである。ある分野では、耐欠陥回路が DPM で増加しても経済的にテストコストは低くなる可能性がある。しかしながら、テストは単なるスクリーニングではなく、テストの根本的な価値は歩留熟曲線の改善によって納期内量産のコスト低減を実現することである。テストコストはテストだけで低減されるものではなく、全製造期間にわたってトータルの製造コストを低減することを成し遂げることである。

ATE 投資コストは、簡単に1デジタル・ピン当りの費用を検討するアプローチで伝統的に述べられてきた。これは便利な検討基準であるが、少数ピンカウントで起こるスケーリングと同様に装置インフラストラクチャと中央装置に関連している基本システムコストと測定サイト数を無視するので、良いコストの試算ができなかった。そのうえ、ATE プラットフォームでその流れはそのまま使えない。そこでは、非常に多様なチャネルテストに同じベースインフラストラクチャが考えられる。以下の方程式は将来のテスト技術の関連コスト推進要因に関してテスト工程投資コストを表現している。

$$C_{CELL} = C_{BASE} + C_{INTERFACE} + C_{POWER-SUPPLIES} + C_{TEST-CHANNELS} + C_{OTHER}$$

この方程式では、 C_{BASE} はピン／チャネルがない場合のテストシステムの基準コストである(例えば、それは機械的なインフラストラクチャ、バックプレーン、テストオペレーティングシステムソフトウェア、およびセンタ装置の費用を含んでいる)。 $C_{INTERFACE}$ はデバイスに接続するのに必要な全てのコスト(例えばインタフェースエレクトロニクス、ソケット、および(予備を含む)プローブカードを含んでいる)。 C_{POWER} は設備供給電源の費用である。 $C_{TEST-CHANNELS}$ は計測器(デジタル、アナログ、RF、メモリテスト装置など)の費用である。 C_{OTHER} は残りのコスト(例えば、床面積)を含んでいる。実用的な問題は特定の C_{BASE} インフラストラクチャで費用効率よく達成できて、全体テスト工程計画で考慮に入れられるべきである総合的な性能の幅を制限するかもしれない。例えば、ローエンドシステムには、空冷インフラストラクチャがあるかもしれないが、上位システムは液体冷却を使用する。テストシナリオは、資本コストと性能指標を分割することによって、評価される。例えば、重要なメリットの形態は時間あたりコストあたりのユニット数(UPH/\$M)、すなわち、総費用に対する毎時の出荷デバイス数量(スループット)である。

図 TST3 が急速に上昇しているインタフェースコストを示す。どれ、時間がたつにつれて、全体テスト工程費用を支配するのを避けるために含まなければならないか。次の節はさらに詳細にこれらの費用傾向について説明する。

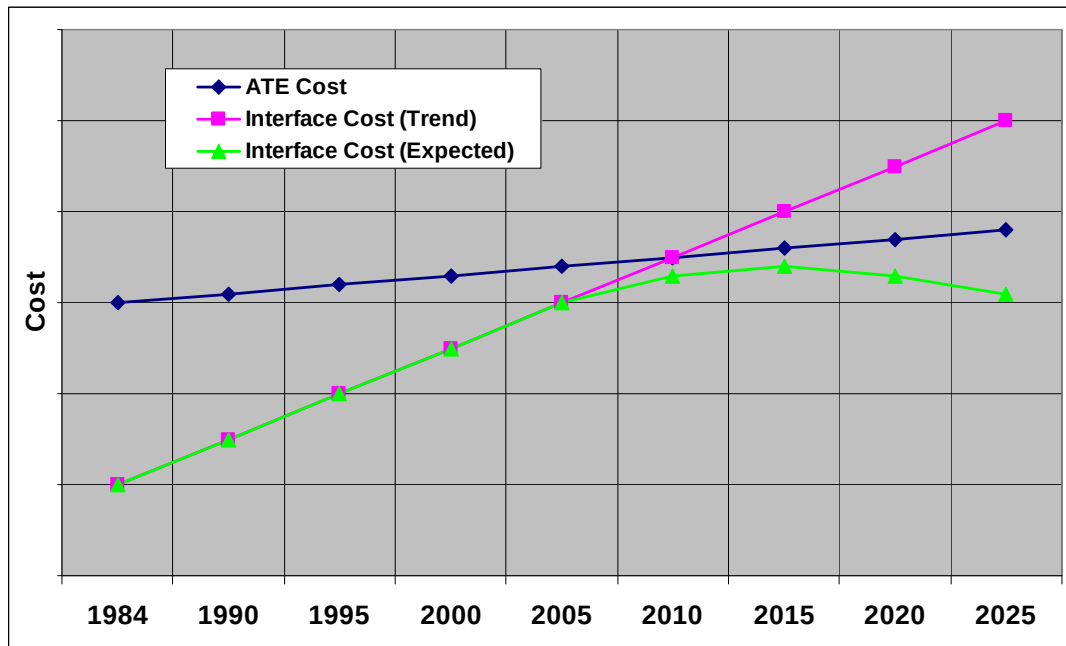


Figure TST3 Test Cell Cost / Unit versus Interface Cost Trend

ベースコストのトレンド

総ベースは時間がたつにつれてわずかに減少すると予想される。プラットフォーム戦略はベースインフラストラクチャのライフ・タイムを広げるだろう。そのうえ、費用はベースインフラストラクチャから器具まで動くかもしれない。マルチサイトテストはスループットを向上させるとともにベースコストを複数ダイに分散させ、その結果、1 サイトあたりのベースコストを低減させる(またベースコストをある程度以下に削減する)。マルチサイトテストを使用することでコストを削減するためには、リソース共有がスループットを制限するかもしれないため、ATE インフラストラクチャが専用リソースを持つことが重要である。メモリにおける、大規模な並列テストの傾向は続くだろう。そのうえ、新しいプローブカード技術とハンドラ技術は他の区分(ウェーハとパッケージテストの両方のため)での大規模な並列テストを可能にする。

チャネルコストのトレンド

チャネルコストの継続的な削減は、マルチサイトテストを使用したコスト削減を実現するために重要である： サイトあたりのチャネルコストが支配的であるため、複数サイトへのチャネルコスト分散の利点は軽減される。一方高価なチャネルを複数サイトで共有することは、スループットを制限する。テスト・エレクトロニクス内の継続的な統合を通じて、また DFT 技術適用増加による ATE のピン性能要求低減により、チャネルコストは削減されると予想される。さらに、少数テストポートを利用した少数ピンテスト戦略は、1 サイトあたりのチャネルコストを削減できる。

アナログの比較的高い費用の RF テスト装置、および、これらの回路のテストに関連している長いテスト時間は、主要な課題としてそのまま残っている。アナログのための DFT 手法が要求される。

高速 I/O テストの費用は重要になってきている。通信分野では、SONET のデータレートは 2.5Gbps から 10Gbps～40Gbps の範囲まで達する予定である。計算機分野では、シリアル ATA は 2008 年に 1.5Gbps から 6Gbps まで増加し、PCI Express は 2008 年ごろに 2.5Gbps から 5Gbps まで増加する。そのうえ、同時双方向信号のような技術が重要になるかもしれない、追加のテストコストになる。これからは、高速 I/O の DFT 技術と新しいテスト方法が、テストコストを制御する解決策のより重要な一部になる。

電源コストのトレンド

マルチサイトテストの数が増加することで、電源のコストは上昇する。特に少ピン数の技術が適用されるなら、1 サイトあたりの電力コストは 1 サイトあたりのチャネルコストを支配するだろう。電源のコスト増は革新

によってパワー供給とパワー配送技術で達成されるかも知れない。いくつかの DFT 技術では、テスト時間短縮を達成するために電源供給への要求が大きくなることに注意しなければならない。

インタフェースコストのトレンド

インタフェースコストを制御することは、マルチサイトテストを使用したコスト削減の成功させるためには不可欠である。サイトの数で指数的に上がる支配的なインタフェースコストは、サイトの数を増加させる目的の障壁となるだろう。インタフェースコストは高帯域(2Gbit/s)、そして、高いマルチサイト(128 のサイト)で大きな課題になるだろう。市場での広範囲なプローブカード技術をカバーする一貫したコスト・モデルを開発する必要がある。長いプローブカードのリードタイムは特に先進技術のために多大な費用問題を引き起こす。プローブカード・リードタイムはこのロードマップにおいて最終的に2分の1に削減されるであろう。ある種の製品にとっては、ウェーハテストを省略するか、または簡単な低速テストをするだけが経済的かもしれない。将来は高速 I/O の DFT 技術が、インタフェース費用を制御する解決策としてより普及するものになるであろう。

同時測定トレンド

前節で論じられたように、テストコストを下げる最も重要な方法は同時測定の数を増やすことである。同時測定の数を増やすことでの効果は、(1)インタフェースコストの上昇、(2)チャンネルコストと電源コストの上昇、(3)低い同時測定効率 M 、によって制限される。

$$M = 1 - \frac{(T_N - T_1)}{(N - 1)T_1}$$

ここで、 N は同時測定される DUT の数である($N > 1$)。 T_1 は 1 デバイスあたりのテスト時間である。そして T_N は N 個のデバイスを同時測定した時のテスト時間である。例えば、1 デバイスあたりの T_1 が 10s で、 $N=32$ 個の時の $T_N = 16s$ の時の同時測定効率は 98.06%になる。それ故、同時測定で増えるオーバーヘッドは $(1-M)=1.94\%$ になる。

チャンネルコストを削減する ATE の共有リソースは同時測定効率を下げる原因になるかも知れない(例えば、ミックスシグナルや RF のテストで顕著である)。更には、低い同時測定効率で同時測定の数を増やし続けると、テストコストに大きな影響を及ぼす。例えば、同時測定効率 98%は 2 個や 4 個のテストに適切である。しかし 32 個の同時測定には、更に高い効率が必要になる。同時測定効率 98%では、シングル測定から 4 個同時測定への移行で 10s のテスト時間が 10.8s に増える。しかし、シングル測定から 32 個同時測定への移行では 10s のテスト時間が 16.4s に増える。つまり、同時測定の潜在的利点を相応に減らすことになる(図 TST4)。

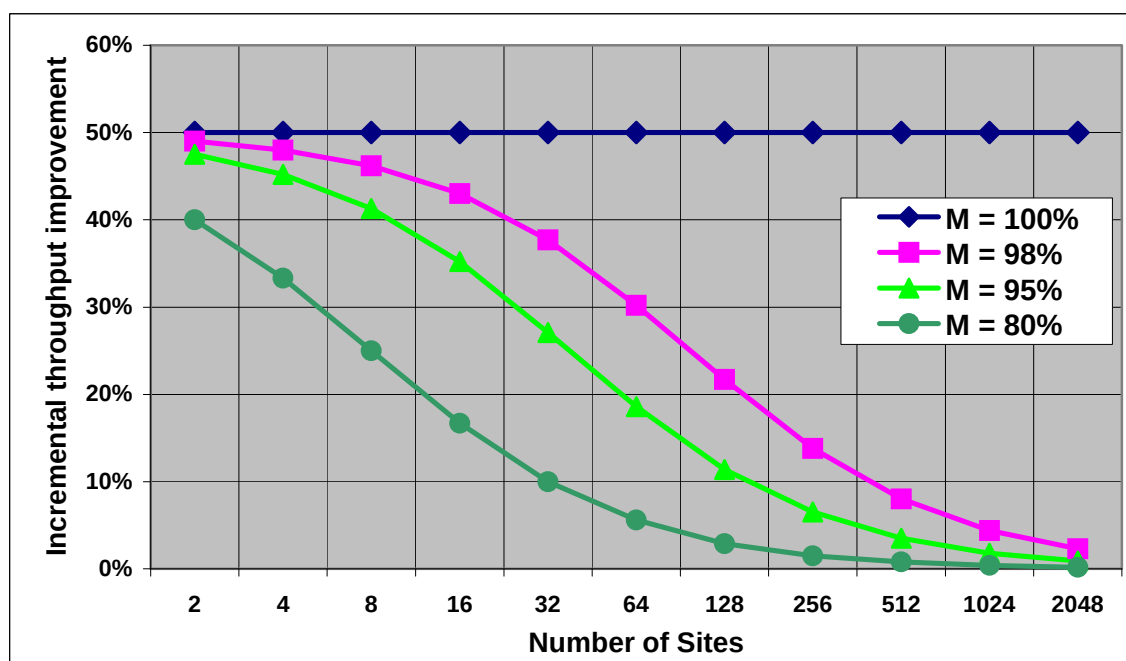


Figure TST4 Importance of Multi-site Efficiency in Massive Parallel Test

表 TST2aとbは、各製品分野の任意デバイスに対する同測数の予想トレンドを示す。顧客の経済モデルは、カスタムデバイスのテストコストに応じて最適化されたロードマップを証明するように展開されねばならない。テストコスト目標を達成するには、多くの方法やアプローチがあることに注意して欲しい。

その他のコストトレンド

メモリ、ロジック、RF を統合する SiP 解決策の劇的な増加は、KGD 対応のウェーハテスト品質の改善は勿論のこと、むしろ複合技術設計に対してテストコスト削減の圧力を強めてきている。

テストの開発期間とコストは DFT 技法や、テストの標準化(テスト内容の再使用、テストプログラムの相互運用性、圧縮、生産対応の俊敏性などに役立つ)や、テストパターンの自動生成(構造化テスト手法のような)や、これ等を使用するプログラムで更に削減されるだろう。

BISTや組込み自己救済(BISR)技術の様な独立したメモリDFTは広く普及し、DFTはテストコストを抑制する為の必須の技術になるだろう。

特定の製品群に対して、新規の製造工程フローは経済的に最適化されるかも知れない。例えば BIST は高性能テスト上において、一秒程度の追加による簡単なテストを行うことが出来る。

重要な関心領域

- 同時測定個数の増加は、ATE アーキテクチャとプローブカード技術に厳しい要求を突き付ける。研究開発は、生産向け提案と多数個測定のトレンドを指向する経済的なプローブ技術を市場に提供し続ける必要がある。先進的なプローブカードの製作期間はひとつの課題である。高周波放射は、大規模 RF 並列測定に向けた課題になるかも知れない。
- 比較的に高コストなアナログや RF のテスト装置と、これらの回路に関する長いテスト時間は、重要な課題を残している。並列測定を可能にするために DSP テストアルゴリズムを高速に実行するには、高速フーリエ変換器(FFT)或いは他の相関用計測器のような計測器を多く必要とする。ミックスシグナルの多数個測定で次に準備すべきことは、パッケージ測定で必要になるロードボード回路である。とりわけ複雑なパッケージ測定で必要になるロードボード回路である。ミックスシグナルと RF のデバイスに向けた DFT 技法は開発のニーズとして残されている。高コストであることから、ミックスシグナルのリソース(および後処理)はしばしばデバイス間で共有され、多数個測定の効率を大幅に低下させている。
- 高速シリアルインタフェースは ASIC や SoC の市場を拡大させている。ジッタ測定はテスト時間の長大化や装置導入コストの上昇を引き起こしている。インタフェース数の増加につれて、コスト問題が直線的に増加している。コストのスケーリング則を管理するテスト方法論の開発が必要とされている。
- 大規模な並列テストの実行中に接続されていないピンを測定する新しい DFT 技法が必要とされている。さらに、セットアップ時にピン数を減らす技法が展開されることで、電源のコストがチャンネルコストを圧倒するかも知れない。電源のコストを電源と電力分配技術に含める革新が必要とされている。
- 少ない同時測定数で多数個測定の低効率は問題にならないが、大規模並列テストでの其の衝撃は並列測定の目的を無効にしてしまう。多数個測定のスケーリング則を継続する為には、ATE アーキテクチャはサイト毎にチャンネルや計測器の専用化を必要とする。何故なら、チャンネルや計測器の共有は多数個測定の効率を制限するからである。コスト効率の良い方法でチャンネルや計測器の専用化を可能とするため、特定の製品群用にチャンネルコストを低減する手法が必要になる。

Table TST2a Multi-site Test for Product Segments—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	
High Performance ASIC/MPU										
Wafer test (# of sites)	8	16	16	16	16	32	32	32	64	MPU
Package test (# of sites)	4	8	8	8	8	16	16	16	32	MPU
Low Performance Microcontroller										

Table TST2a Multi-site Test for Product Segments—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	
Wafer test (# of sites)	32	64	64	64	64	64	64	64	128	MCU
Package test (# of sites)	32	64	64	64	64	64	64	64	128	MCU
Mixed-signal										
Wafer test (# of sites)	4	8	8	16	16	16	16	16	32	Mixed
Package test (# of sites)	8	16	16	16	16	16	64	64	128	Mixed
Commodity DRAM Memory										
Wafer test (# of sites)	256	512	512	1000	1000	1000	1000	1000	1000	DRAM
Package test (# of sites)	256	512	512	512	512	512	512	512	1024	DRAM
Commodity Flash Memory										
Wafer test (# of sites)	256	512	1000	1000	1000	1000	1000	1000	1000	NAND
Package test (# of sites)	512	512	512	1024	1024	1024	1024	1024	2048	NAND
RF										
Wafer test (# of sites)	4	4	8	8	16	16	16	32	32	RF
Package test (# of sites)	8	16	32	48	64	64	64	128	128	RF

Table TST2b Multi-site Test for Product Segments—Long-term Years

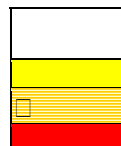
Year of Production	2016	2017	2018	2019	2020	2021	2022	
High Performance ASIC/MPU								
Wafer test (# of sites)	64	64	64	64	64	64	64	MPU
Package test (# of sites)	32	32	32	32	32	32	32	MPU
Low Performance Microcontroller								
Wafer test (# of sites)	128	128	128	128	128	128	128	MCU
Package test (# of sites)	128	128	128	128	128	128	128	MCU
Mixed-signal								
Wafer test (# of sites)	32	64	128	128	256	256	256	Mixed
Package test (# of sites)	128	256	256	256	512	512	512	Mixed
Commodity DRAM Memory								
Wafer test (# of sites)	1000	1000	1000	1000	1000	1000	1000	DRAM
Package test (# of sites)	1024	1024	1024	1024	1024	1024	1024	DRAM
Commodity Flash Memory								
Wafer test (# of sites)	1000	1000	1000	1000	1000	1000	1000	NAND
Package test (# of sites)	2048	2048	2048	2048	2048	2048	2048	NAND
RF								
Wafer test (# of sites)	32	64	128	128	256	256	256	RF
Package test (# of sites)	128	256	256	256	512	512	512	RF

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



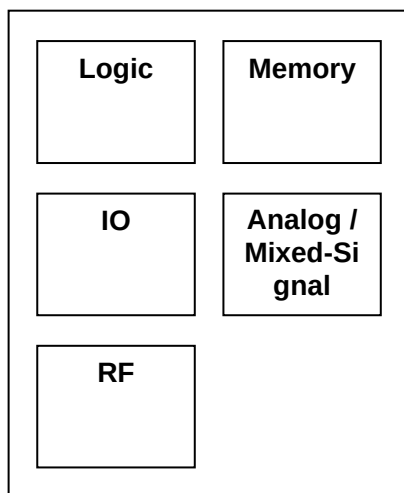
テスト技術への要求

イントロダクション

25 年以上前から、半導体テスト技術の要求は、主にパフォーマンスとトランジスタ数の無情な増加により押し上げられてきている。基本的対応が、新しいマーケット要求(例えば、モビリティ、セキュリティ、使用の容易、システムマネージメントの容易、ローパワーなど)の出現によって押し上げられている。これは、アプリケーションがより多くの方法と組合せを適用し、各種半導体技術のインテグレーションを順次推し進めているからである。テスト技術の要求を決定するアプリケーション要求又は仕様から、テストに対する膨大な技術課題を得るが、この章で、アプリケーションの傾向とこれに関連するテスト要求のトレンドを得ることは不可能である。したがって、ブロックを積み上げるコア半導体技術を明確化し、SoC 又は SiP としてこれらのコア技術を統合するテストの挑戦を述べると共に、各コア技術に関連したテストの挑戦とトレンドを述べることにする。

各コア半導体技術は関連したアプリケーションをもち、これらのアプリケーションは長期トレンドを得るための基本として扱われる。特に、ITRS は、CPU, ASIC, DRAM, フラッシュメモリのトレンドに関しキーとなる技術を公開する。これらは、コア半導体技術の節の中で適切に参照される。図 TST5 は、関連するアプリケーションの例とこの章で分けられたコア半導体技術を示している。リストアップされたアプリケーションの例が多数のコア技術を含んでいるように、アプリケーションの区分枠にとらわれない。コア技術は、主に固有の機能とテスト要求により異なる。この Revision で含まれないコア技術は MEMS と optical である。

System Integration (SoC or SiP) of Core Semiconductor Technologies



Application Examples of Core Semiconductor Technologies

Logic: CPUs, Graphics Processors, ASICs, FPGAs, Microcontrollers

Memory: DRAM, SRAM, Flash

IO: Wired gigabit differential links (SONET, fiber channel, Ethernet, serial ATA, PCI Express, Hyper-transport)

Analog / Mixed-Signal: D/A, A/D, Telecom, Disk Storage

RF: Wireless communications (802.11x, GSM, CDMA, satellite, radar)

A/D—analog to digital, CDMA—code division multiple access, CPUs—central processing unit, D/A—digital to analog
GSM—global standard for mobile

Figure TST5 *Organization of Core Semiconductor Technologies for System Integration and Applications*

最近では、これらのコア半導体技術とアプリケーションが、各種テストの解決策を明確に要求しており、それぞれ特別なテスト装置やインタフェースツールの市場がある。コアの統合が増すことは、これらの境界をあいまいにする。それはまた、コアの統合を成功とするだけではなく、全体が経済的にテストできるように統合する必要がある DFT にとっては妨げとなる。テスト技術要求の節に残っている課題としては、各コア技術に対するテスト課題に従い、統合が増したことによるテストの課題を方向付けることである。

システム集積－SoC と SiP のテストの課題と意味

SoC と SiP は、理論的には等価と言えなくはないが、以下の点で相互に大きな違いがある。すなわち、どのテクノロジーがパッケージあるいはチップにより集積しやすいかという点、および、それぞれに非常に異なったテストの意味を持つという点である。最近の A&P 技術の進歩は、同一の製造プロセスを異なった主要半導体技術に対して最適化することの困難さと相俟って、SiP に大きな勢いを与えてきたため、一部の予測では SiP が支配的になると言われている。一方、ウェーハ製造プロセスの改良と設計/DFT のニーズが SoC を表舞台に押し出したり、また両者の複合物を生み出したりするかもしれない。ただ、集積化の傾向は継続するという点は明らかであり、問題はどれほど早くまたどのような形でそれが進むかという点である。以下の2つの節では、SoC、SiP のそれぞれに関連するテストの課題と意味について議論する。

システム・オン・チップ

SoCは複数の個別に設計された設計ブロックすなわちコアからなり、それぞれは異なったテクノロジー(ロジック、メモリ、アナログ、RF、等)を用いている。この品揃えに対しては、これらの搭載コアに対応する特別なテクノロジーをテストするための多様な解決策が必要となる。このため、SoC設計は次第に既存のIPコアのデータベース(その中にはコアの設計、組込みテスト解決策、および、他のコアとのインタフェースが収められている)への依存を高めている。

SoC テストとは個々のコアのテスト解決策を制御する高度に構造化された DFT の枠組みを意味する。SoC テストには、個々のコア、コア・テスト・アクセス、チップ全体のテストに関連するこれらの解決策の適切な組み合わせを含む必要がある。SoC テストの基本的な課題のひとつは、相異なるテスト容易化手法を持つ複数のソースからのテストに関する要求を組み合わせる必要がある点にある。また、他の基本的な課題として、品質とコストの高度な同時最適化がある。SoC 全体の品質とコストを評価し、顧客の受入れ可能なレベルに調整する必要がある。階層的なアプローチや並列アプローチが必要となるであろう。

表 TST3a と表 TST3b に示した量的トレンド及び要求課題はシステム・ドライバ章の SoC-PE モデルに示されたトレンド(トランジスタ数、フリップフロップ数及びメモリビット数を含む)に従って推定したものである。推定は特定の SoC モデルに基づいて行われているが、要求課題は種々の SoC に対しても適用可能である。

ロジックコアに対する要求課題

ロジックコアに対する大量のテストデータを削減するためには、ロジック BIST や圧縮デターミニスティック・パターン・テストなどの高度な DFT 手法が必要である。手法の採用にあたっては DFT エリア・インベストメント、設計ルール制約及び関連する ATE コストのトレードオフを考慮する必要がある。ここで、DFT エリアは主にテストコントローラとテストポイントからなり、階層設計手法を用いることにより一定に保つことができる。

テスト品質とテストコストのトレードオフは重大な関心事である。高いレベルのテスト品質を達成するためには、ATPG は縮退故障及び遷移故障のみならず微小ディレイ故障あるいは他の欠陥ベース故障にも対応しなければならない。ロジック・トランジスタ数の増加に従って、テストパターン数はロードマップの値以上に増加するだろう。しかし、テストコストの上昇を避けるためには、ゲートあたりのテスト実行時間を一定に保つ必要がある。したがって、テストパターン数削減、スキャンチェーン長削減、スキャンシフト周波数のスケラブルな高速化などの種々のアプローチが詳細に検討されなければならない。

テストパターン数の増加がもたらす他の問題として、テストデータ量の増加がある。テストメモリ容量が 3 年ごとに 2 倍になるとしても、近い将来高いテストデータ圧縮率が必要となるだろう。したがって、テストデータ圧縮は引き続き重要課題として取り組む必要がある。テスト実行時間とテストデータ量を同時に削減する解決策のひとつの可能性としては、同一 IP コアを 1 つのデザイン中で反復使用する方法がある。図 TST6 は同一 IP コアの反復使用がテスト実行時間及びテストデータ量に及ぼすインパクトを示している。これを見ると一定テスト時間のための要求課題がある程度緩和されているが、問題を完全に解決するには不十分であることがわかる。したがって、他のアプローチ、例えば BIST と圧縮デターミニスティック・パターン・テストの組み合わせあるいは革新的な DFT 手法などにも取り組まなければならない。

また、ゲートあたりのテスト実行時間を一定に保つことは必ずしも安定したテスト実行コストを意味するものではない点に注意する必要がある。したがって、トランジスタあたりのテストコストをスケラブルに削減するためには、同測数の増加や低コスト ATE の使用あるいはテスト周波数の向上などの ATE コストを削減するための手法も必要である。

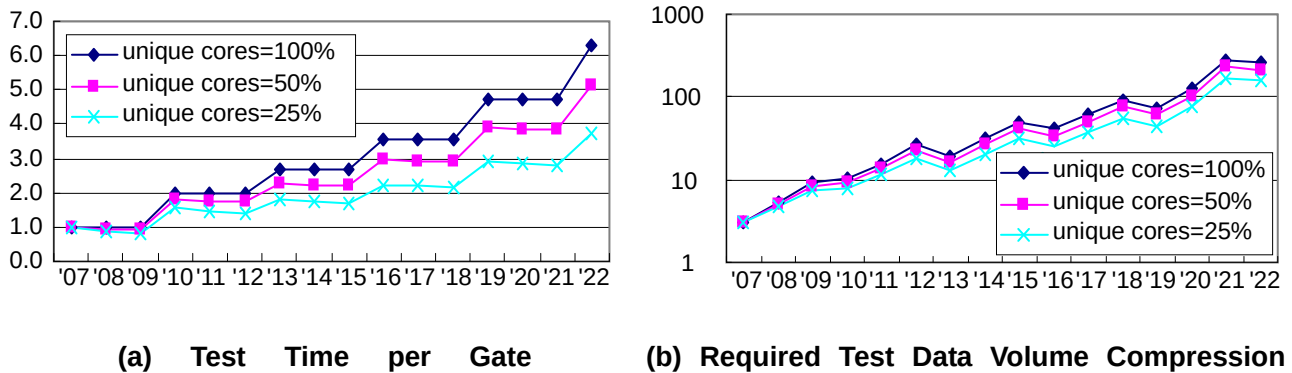


Figure TST6 Impact of Repeated Use of Same Cores

設計効率向上のために高位設計言語が使用されており、DFT も高位設計フェーズでの適用が望ましい。DFT 設計ルール・チェックは、すでにある程度は利用可能であるが、テスト容易性の解析、故障検出率の推定及び非スキャン設計手法を含めた高位設計における DFT 合成が次の段階として必要である。一方、歩留ロスも関心事である。テストパターンが DUT 中のすべての可能な故障を活性化する場合、通常機能の動作では発生しない過剰なスイッチング動作を生じるであろう。これは機能動作を不安定にするような過剰な電力消費を生起し、結局はオーバキルとなるテストフェールを起こすことになる。さらに、IR ドロップやクロストークによるシグナル・インテグリティの問題により機能動作が不安定あるいはマージナルとなり、不良を生じる可能性もある。したがって、DFT 設計における電力消費とノイズの予測及び制御が必要である。

内蔵メモリアに対する要求課題

プロセス技術の進歩とともに、メモリビットの総容量は増大し、これに伴い BIST、救済及び診断のための回路に対するエリア・インベストメントも増加する。またメモリアの密度と動作周波数の上昇に伴い、メモリ DFT 技術では以下のような機能上のあるいは性能上の革新が必要となる。

- ナノメータ・プロセスにおいて出現する新しいタイプの欠陥をカバーするために、テストアルゴリズムは一般的な固定タイプのものから一般アルゴリズムとテスト条件の選択的組み合わせ、あるいは、与えられたメモリ・デザインと欠陥集合に対する専用の最適アルゴリズムに進化しなければならない。さらに、柔軟なテストアルゴリズムの作成を可能にする高度なプログラマブル BIST が開発されなければならない。
- 組込み冗長割当技術(BIRA)や組込み自己救済技術(BISR)のような実用的な組込み救済技術が開発されなければならない。ここで、BIRA は歩留改善のために BIST の結果を解析して冗長要素を割り当てる技術である。また BISR はチップ上で実際の再構成(ハードリペア)を行う技術である。
- 歩留習熟にとって不良情報をオンラインで収集することは本質的になりつつある。ビット、ロー、カラムあるいはその組み合わせなどの不良タイプは大量のテスト結果をダンプすることなくチップ上で識別される必要がある。組込み自己診断(BISD)機構があればメモリの出力を解析することによりこの機能が可能になり、結果を ATE に渡すことができる。
- 以上のすべての機構は、コンパクトなサイズで実装されなければならないし、またシステム周波数で動作しなければならない。

表 TST3a に基づくと、2007 年において内蔵メモリアに対する組込みテスト、救済、診断のための回路のサイズは 1M ビットあたり最大 35k ゲートになるだろう。これは BIST、BIRA、BISR の回路を含むが、光学的あ

るいは電氣的ヒューズのような救済プログラムのためのデバイスは含まない。総メモリビット数に対するエリア・インベストメントの比率は今後 10 年以上は増加してはいけない。この要求課題は容易に実現できるものではない。とくに、メモリの冗長構成がより複雑になると、救済解析を少量の回路で実装するのは困難になるだろう。このため、組込みテスト、救済、診断構成におけるブレイクスルーが必要となる。メモリコアの組込みテスト、救済、診断回路を高速部と低速部に分けることによりエリア・インベストメントとタイミング・クロージャのための応答時間は削減できるかもしれない。カウンタとデータ比較回路で構成される高速部はメモリコアに内蔵されることも可能であり、それによりテストモードでのシステム速度での動作のための制限が緩和されるだろう。スケジューリング、パターンのプログラミングなどの回路で構成される低速部は低速で動作するように設計することもできるし、あるいは複数のメモリコアで共有することもできる。これにより、エリア・インベストメントを削減でき、また論理設計及び物理設計の作業を容易化できるだろう。そのような設計メソドロジーを自動化するために、高速なメモリテスト動作のためのインタフェースはすべての必要なメモリタイプと構成に対して統合及び標準化されなければならない。今日の SoC はしばしば数多くの小規模メモリコアを持っている。しかし、このような場合には、総ビット数が同じの単一のメモリコアを持つ場合と比較して多くの DFT 回路が必要となる。したがって、メモリコアを少数のメモリブロックに統合することによりメモリ DFT のためのエリア・インベストメントを劇的に削減することができる。テスト容易性を考慮した高位合成では、メモリセルの割当プロセスにおいて、この特徴を認識してシステム動作におけるメモリ・アクセスの並列性を考えなければならない。

SoC の統合に関する課題

IP コアの再利用は設計効率についてのキーとなる課題である。IP コアをサードパーティのプロバイダから入手した場合には所定のテスト解決策を採用しなければならない。多くの EDA ツールがロジックコアに対する標準フォーマット(例えば IEEE1500¹)を既に利用しており、このフォーマットの普及とアナログコアなどへの拡張が必須である。DFT と ATE のインタフェースも標準化されつつあるが(例えば IEEE1450²)、テスト・ベクトルだけでなくパラメトリックな要素も含められなければならない。各コアのテスト品質は、現在は縮退故障や遷移遅延故障あるいは微小遅延故障などの種々の故障検出率を用いて評価されている。各コアのテスト検出率をまとめて全体としてのテスト品質を得る統合的な方法が開発されなければならない。従来、構造テストの品質を補うために機能テストが用いられてきた。しかし、コア間及びコア・インタフェースの自動テストが近い将来開発されなければならない。SoC レベルの故障診断には、設計あるいはプロセスの限定因子(例えばシステムティック欠陥)を学習することが可能なシステムティックな階層診断プラットフォームが必要である。それは欠陥のあるコア、そのコア中の欠陥のある部品、その部品中の欠陥のある X-Y 座標を階層的に指摘しなければならない。対応可能な欠陥のタイプのメニューは最新のプロセス技術における物理欠陥数の伸びに合わせて強化されなければならない。設計ツールと ATE あるいは FA 装置との間のスムーズな標準化されたインタフェースも必要である。同一設計コアを含む複数の製品に亘って整合の取れたデータを収集し、データベースに格納してデータ・マイニング手法により解析するためには量産診断が必要である。効率的な歩留習熟のためにはデータ項目のメニューが非常に重要であるが、現時点ではこれはノウハウの問題である。

¹ 1500-2005 IEEE Standard Testability Method for Embedded Core-based Integrated Circuits

² P1450.6, Draft Standard for Standard Test Interface Language (STIL) for Digital Test Vector Data—Core Test Language (CTL)

Table TST3a System on Chip Test Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Embedded Cores: Logic									
Random Pattern Logic BIST									
Area Investment beyond Scan (%) [1]	3.1	3.1	3.1	3.1	3.1	3.1	3.1	3.1	3.1
Compressed Deterministic Pattern Test									
Area Investment beyond Scan (%) [2]	1.1	1.1	1.2	1.3	1.4	1.5	1.6	1.6	1.7
Supported Fault Models by ATPG for Overall Test (SA+T: Stuck-at & Transition, SD: Small Delay, SDX: Extended Small Delay, NDF: New Defect-based Fault Model)	SA+T	SA+T	SA+T	+SD	+SD	+SD	+SDX	+SDX	+SDX
Ratio of Overall Pattern Count per Gate to Stuck-at Fault Pattern [3]	× 5	× 5	× 5	× 15	× 15	× 15	× 30	× 30	× 30
Estimation & Requirements for SoC Test Pattern (without Core-Parallel Test)									
SAF Pattern Count per Chip (k)	11	14	17	22	28	34	43	56	70
Overall Pattern Count per Chip (k)	53	68	85	334	416	510	1,283	1,665	2,085
Ratio of Test Application Time per Chip to 2007's [4]	1.00	1.29	1.62	4.24	5.29	6.48	10.81	14.03	17.57
Ratio of Test Application Time per Gate to 2007's = Required Reduction Ratio [5]	1.00	0.96	0.93	2.00	2.00	1.90	2.65	2.65	2.65
Required Test Data Volume Compression Ratio [6]	30	51	84	202	314	496	746	1,257	1,972
DFT Methodology for SoC Level Design									
DFT method in High Level Design Phase (DRC: DFT Design Rule Check, TA: Testability Analysis and Fault Coverage Estimation, SYN: Test Synthesis)	DRC	DRC	DRC	+TA	+TA	+TA	+TA	+TA	+TA
Application of BISR for Logic Cores (AH: Ad hoc Method, PA: Partially Automated Method, LA: Limited Use of Automated Method, GA: General Use of Automated Method)	AH	AH	AH	PA	PA	PA	LA	LA	LA
DFT/ATPG Approach to Reduce Yield-Loss (PA: Power-Aware DFT/ATPG, NA: Noise Aware DFT/ATPG, NAX: Extended Noise-Aware DFT/ATPG)	PA	PA	PA	+NA	+NA	+NA	+NAX	+NAX	+NAX
Embedded cores: Memory (SRAM)									
Repairing Mechanism of Memory Cells to improve Yield [7] (RC: BISR/BISD for a few Row & Col R/D, RCM: for more Row & Col R/D, M: for More Sophisticated R/D)	RC	RC	RC	RCM	RCM	RCM	M	M	M
Area Investment of BIST/BISR/BISD [8] (Kgates/Mbits)	35	35	35	35	35	35	35	35	35
Standardized High-Speed Memory Test I/F [9] (S: Some, P: Partially, F: Fully)	S	S	S	P	P	P	P	P	P
Core Integration									
Standardization of I/F for Reusable IP Cores [10] (P: Partial Use, F: Full Use)	P	P	P	P	P	P	F	F	F
Standardization of DFT-ATE I/F [11] (LP: Limited Use of Partial Information, LF: Limited Use of Full Information, F: General Use of Full Information)	LP	LP	LP	LF	LF	LF	F	F	F
SoC Level Fault Coverage [12] (AH: Adhoc, L: Logic, M: Memory, IO: I/O, A: Analog)	AH	AH	AH	L+M	L+M	L+M	+IO	+IO	+IO
Inter-Core/Core-Interface Test (F: Complemental Functional Test; PA: Partially Automated ; FA: Fully Automated)	F	F	F	PA	PA	PA	PA	PA	PA
SoC Manufacturing									
Systematic Hierarchical Diagnosis (L: Logic, M: Memory, I: Interface)	L	L	L	+M	+M	+M	+I	+I	+I
Supported Defect Type for Fault Diagnosis (C: Conventional (SAF, TF, BF), D: Delay Fault Model Considering Defective Delay Size, CT: Cross-talk, TRF: Transient Response Fault)	C	C	C	+D	+D	+D	+CT	+CT	+CT
Standardized Diagnosis Interface/Data in the diagnosis flow (ATE: Tester Log, DFT: DFT Method, PFA: Physical Failure Analysis)	ATE	ATE	ATE	+DFT	+DFT	+DFT	+PFA	+PFA	+PFA
Volume Diagnosis Data Base (SI: Collection and Storing Defect Information (B: Bad sample, G: Good sample), AD: Automated SoC Diagnosis)	SI(B)	SI(B)	SI(B)	+SI(G)	+SI(G)	+SI(G)	+SI(G)	+SI(G)	+SI(G)

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

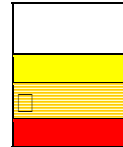


Table TST3b System on Chip Test Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
Embedded Cores: Logic							
Random Pattern Logic BIST							
Area Investment beyond Scan (%) [1]	3.1	3.1	3.1	3.1	3.1	3.1	3.1
Compressed Deterministic Pattern Test							
Area Investment beyond Scan (%) [2]	1.8	1.9	2	2.1	2.1	2.1	2.1
Supported Fault Models by ATPG for Overall Test (SA+T: Stuck-at & Transition, SD: Small Delay, SDX: Extended Small Delay, NDF: New Defect-based Fault Model)	+NDF	+NDF	+NDF	+NDF	+NDF	+NDF	+NDF
Ratio of Overall Pattern Count per Gate to Stuck-at Fault Pattern [3]	× 60	× 60	× 60	× 120	× 120	× 120	× 240
Estimation & Requirements for SoC Test Pattern (without Core-Parallel Test)							
SAF Pattern Count per Chip (k)	90	109	134	170	222	258	361
Overall Pattern Count per Chip (k)	5,370	6,510	8,040	20,370	26,640	30,990	86,700
Ratio of Test Application Time per Chip to 2007's [4]	30.26	36.69	45.31	76.68	100.28	116.66	217.29
Ratio of Test Application Time per Gate to 2007's = Required Reduction Ratio [5]	3.55	3.55	3.55	4.74	4.74	3.67	5.04
Required Test Data Volume Compression Ratio [6]	3,269	4,805	7,329	11,761	20,116	35,180	66,721
DFT Methodology for SoC Level Design							
DFT method in High Level Design Phase (DRC: DFT Design Rule Check, TA: Testability Analysis and Fault Coverage Estimation, SYN: Test Synthesis)	+SYN	+SYN	+SYN	+SYN	+SYN	+SYN	+SYN
Application of BISR for Logic Cores (AH: Ad hoc Method, PA: Partially Automated Method, LA: Limited Use of Automated Method, GA: General Use of Automated Method)	GA	GA	GA	GA	GA	GA	GA
DFT/ATPG Approach to Reduce Yield-Loss (PA: Power-Aware DFT/ATPG, NA: Noise Aware DFT/ATPG, NAX: Extended Noise-Aware DFT/ATPG)	+NAX	+NAX	+NAX	+NAX	+NAX	+NAX	+NAX
Embedded cores: Memory (SRAM)							
Repairing Mechanism of Memory Cells to improve Yield [7] (RC: BISR/BISD for a few Row & Col R/D, RCM: for more Row & Col R/D, M: for More Sophisticated R/D)	M	M	M	M	M	M	M
Area Investment of BIST/BISR/BISD [8] (K gates/Mbits)	35	35	35	35	35	35	35
Standardized High-Speed Memory Test I/F [9] (S: Some, P: Partially, F: Fully)	F	F	F	F	F	F	F
Core Integration							
Standardization of I/F for Reusable IP Cores [10] (P: Partial Use, F: Full Use)	F	F	F	F	F	F	F
Standardization of DFT-ATE I/F [11] (LP: Limited Use of Partial Information, LF: Limited Use of Full Information, F: General Use of Full Information)	F	F	F	F	F	F	F
SoC Level Fault Coverage [12] (AH: Adhoc, L: Logic, M: Memory, IO: I/O, A: Analog)	+A	+A	+A	+A	+A	+A	+A
Inter-Core/Core-Interface Test (F: Complemental Functional Test; PA: Partially Automated; FA: Fully Automated)	FA	FA	FA	FA	FA	FA	FA
SoC Manufacturing							
Systematic Hierarchical Diagnosis (L: Logic, M: Memory, I: Interface)	+I	+I	+I	+I	+I	+I	+I
Supported Defect Type for Fault Diagnosis (C: Conventional (SAF, TF, BF), D: Delay Fault Model Considering Defective Delay Size, CT: Cross-talk, TRF: Transient Response Fault)	+CT	+TRF	+TRF	+TRF	+TRF	+TRF	+TRF
Standardized Diagnosis Interface/Data in the diagnosis flow (ATE: Tester Log, DFT: DFT Method, PFA: Physical Failure Analysis)	+PFA	+PFA	+PFA	+PFA	+PFA	+PFA	+PFA
Volume Diagnosis Data Base (SI: Collection and Storing Defect Information (B: Bad sample, G: Good sample), AD: Automated SoC Diagnosis)	+AD	+AD	+AD	+AD	+AD	+AD	+AD

Definitions for Table TST3a and b:

- [1] Area investment of random pattern logic BIST consists of BIST controller and test points.
- [2] Area investment of compressed deterministic pattern test consists of controller and test points.
- [3] This shows the number of pattern count (number of captures), which corresponds to various fault models.
- [4] This is proportional to the overall pattern count and inversely proportional to internal scan data rate.
- [5] We set the requirement that test application time per gate should be stable.
- [6] The size of ATE vector memory is assumed to increase as fast as DRAM bit size increases.
- [7] Growing number of row & column spares, and both divided and shared spares for segments in the future.
- [8] The current BISR for two dimensional repair is limited to a few row and column spares.
- [9] Common interface of test logic embedded in memory hard macro for high-speed testing.
- [10] IEEE1500 is an example. Standardization of I/F for re-usable IP Cores.
- [11] STIL (Test Interface Language, IEEE1450.x) is an example. I/F should include not only test vectors, but also parametric factors.
- [12] A method to obtain overall test quality measure of SoC considering all cores; logic, memory and analog.

System In a Package

SoC とは対照的に、SiP では統合前に部品のテストを行う場合もある。故障部品が一つでもあると、SiP 内の複数の良品部品を使い物にならなくすることもあり、これにより SiP の歩留限界が厳しくなるので、この点は重要である。さらに、統合がアセンブリやパッケージング時に行われることから、この部品テストは通常、ウェーハプローブテストの際に行われなければならない。つまり主要な課題は、統合前に良品ダイを識別するということになる。“Known Good Die (KGD)”は、単一チップでパッケージングされた場合と、同等の品質と信頼性を持つと期待できるベアダイを称するために、1990 年代中盤に創られた用語である。

多くの場合、単一チップパッケージの形でデバイスのテストおよびスクリーニングを行うことにより、今日出荷される IC 製品に対する出荷時の品質と信頼性の形態は得られている。ウェーハプローブテストは一般的に、性能分類や信頼性スクリーニング、効果的な同測コンタクトには向いておらず、これらのテストは一般的には、パッケージレベルでテスト・バーンインソケットやバーンインチャンバ、ロードボードを用いて行うのが、より効果的である。結局 KGD の工程は、許容できる品質および信頼性の目標に合致するよう、プローブ時に、あるいは後から追加されたダイレベルのテストとスクリーニングにより、ダイが選別されることを暗に求めている。主な短期的課題は、異なるマーケット領域で要求される品質および信頼性の目標を定めること、ウェーハあるいはダイレベルで適用できるコスト効率のよいテストおよび信頼性スクリーニングを開発すること、そして、得られる品質および信頼性のレベルに関し高い信頼度を与える品質および信頼性手法を開発することである。より長期的な課題は、エンドユーザ使用時にも利用できる、エラーの検出と修正を行う、完全な自己テスト戦略への移行である。

SiP のテストおよび装置に関する課題

SiP 製品は、複数供給者からのダイを含むことがよくあるので、後工程の製造フローに対し多くの特異な課題を投げかけることがある。これは以下の領域で問題となり得る：

- ・ コストおよび DPM の目標を実現するための、パッケージテスト戦略の策定
- ・ 多様な製品・プロセス技術に対し必要な、信頼性スクリーニング手法(バーンイン、電圧ストレスなど)を適合させる製造フロー
- ・ 品質問題やシステマティックな歩留問題を解決するために、故障箇所の特定制を行う故障解析手法

パッケージレベルでの SiP テストは、複雑な SoC 製品のテストにきわめて似通った問題を持つ。つまり、それぞれ特殊なテスト上の要求をもつ多様な IP を、単一の一貫したテストフロー中に統合しなければならないということである。SoC の場合全ては一チップ上にあり、また一緒に設計されているため、種々のブロックのテスト戦略は、テスト用ラッパーやテスト制御ブロックなどを用いて、また IEEE 1500 標準仕様で定められたような戦略を用いて、統合することができる。SiP の場合、ダイの供給者が特殊なテストモード(汎用メモリ製品では特に、機密とされることがある)にアクセスするのに必要な情報の提供を拒んだり、SoC では共通的に用いられるテスト戦略を実装する、必要なテスト基盤のオーバーヘッドを、個々のダイが持たなかったりする場合がある。

KGD のみを用いる SiP の場合であっても、正しく組み立てられたことを保証するために、ある程度の量のテストが必要になる。最終アセンブリが(KGD へのダメージや変化を起こし得る)ダイの薄型化や積層を含む場合には、さらなるテストが必要なこともある。故障箇所の特定制を行う場合には、特定のダイやさらにその

中の小領域にまで故障箇所を絞りたい場合、(通常の製造の場合は不要であっても、)そのダイに対する詳細なテスト戦略の、完全な理解が必要となるであろう。

信頼性スクリーニングの場合、あるダイにはバーンインが必要で、他のダイには電圧ストレスのみが必要というようなこともあるであろう。あるダイに対するストレス条件は、同じパッケージ内の別のダイとは両立しないか、場合によっては有害でさえあるかもしれない。ある SiP 製品内の異なるダイが、全く異なるテクノロジーからなることもよくあるので、解決はさらに難しくなる。ひとつの解決策は、最終パッケージング後の信頼性スクリーニングを行わないことであるが、これは全体コストを押し上げることもある(例えばウェーハレベル・バーンインは、パッケージレベルのバーンインより通常は高くつく)。

異種のダイが多チップパッケージ内に実装されると、アセンブリされたモジュールをフルにテストするために、異なるプラットフォームにいくつかのテストを追加することが必要となることがある。この複数テストの追加は、機械的ダメージによるテスト抜けや歩留低下を引き起こすこともある。積層されたパッケージの上側にコンタクトするためには、新たなテスト装置が必要になる。ウェーハ積層技術に対しては、歩留りとコスト上の目標を達成するために、最終的な積層が『修理』できるようにするため、よりよい冗長救済技術が必要となる。動作中に故障部品を検出して冗長要素を起動できるような電子システムの設計と製造が、SiP の信頼性上の主要な課題である。

ウェーハのテストと装置に関する課題と関心点

今日共通的に用いられているプローブカード技術は、『最終テスト』の環境として理想的ではない。スピードクリティカル、RF、遅延およびアナログなどの、性能ベースのテストの多くは、現在パッケージレベルで行われている。このため KGD 工程の重大な課題は、欠陥のある、あるいは使用初期に故障の起こるデバイスを、それらのデバイスが次のレベルのアセンブリ工程に送られる前に速やかに識別する、コスト効率がよく製造上の価値がある、信頼性が高く正確な手法を開発することである。

ディスプレイドライバや最先端 DRAM などのある種のテクノロジーでのテスト時間は、非常に膨大である。ウェーハプローブ工程上の制約により、これらのテストのスループットは、パッケージされた部品の場合よりも非常に小さくなる。コスト効率のよい方法で DRAM ダイをウェーハレベルでフルにテストする上での課題は、前にプローブしたダイと重複したり、ウェーハを外したりせずに、また既に除外したり明らかに動作しないダイ全てに対するテスト時間と電力の浪費を避けながら、ウェーハ上の複数のダイをプローブできる技術の開発を含んでいる。

RF デバイスのウェーハテスト

RF ダイに KGD 工程を適用する際の主要な課題は、高性能かつ微細ピッチなプローブカードの開発である。RF ダイは小型であるので、パッドピッチも微細である。例えばある製品でのパッドピッチは 75 μ m 以下にもなり、今日これは現実のプローブ技術の限界である。

RF プロービング時のシグナル・インテグリティを良好にするには、RF 信号には GND—信号—GND の構成が必要である。RF デバイスの KGD 工程での主要な課題は、適切なプローブカード設計と RF プローブ技術のもとで RF パスのインピーダンスが制御できるよう、ダイ中に GND—信号—GND の構成が設計されていることの保証である。

ウェーハまたはダイレベルでの信頼性スクリーニング

一定期間の電圧や温度印可は、シリコンの潜在的な欠陥を故障となるよう加速する、よく知られたストレスである。これらはウェーハやダイレベルよりも、パッケージレベルで行う方が容易である。ダイのパッケージング前にこれらのストレスをかけることは、KGD の主要な課題である。

製造で要求される工程上の能力を持つ、コスト効率のよいウェーハ全体コンタクト技術の開発は、この産業の主要な課題である。コンタクト工程の能力は、コンタクト技術の性能だけではなく、その製品に対するバーンインストレス要求に対する関数でもある。

統計的な後処理

捉えがたく潜在的な欠陥を識別するために、統計的なデータ解析を用いる手法は、特に多品種少量生産で製品寿命が短いため、バーンインを行えないデバイスタイプや、本質的なプロセスばらつきにより、従

来のテスト制約のもとでは、良品ダイと欠陥ダイを分別することが不可能となるような製品分野において、支持を受けるようになってきている。バーンインではないテスト追加による信頼性スクリーニングは、時間削減、テスト設備、装置およびハンドラなどの点において有利である。スクリーニングが、ウェーハレベルで標準的なプローブおよびテストを用いて実行可能であり、これにより全てのデバイスが、デバイスが出荷される最終的なパッケージにかかわらず、データシート上の仕様と、そのプロセスでの出荷時の品質と信頼性の目標に従って、完全に調整されていると考え得ることを、KGD は暗に求めている。各ダイの（例えば Idd、Vddmin、Fmax などの）測定は、テストオフラインの統計的な手法を用いて、（選別されるのではなく）記録される。これらの測定は、異なるテスト条件や、ストレステストの前後や、異なる温度での記録が可能である。良否の条件は、テストオフラインの後処理アルゴリズムを用いて、記録された測定結果の統計的な解析に基づいて決定される。統計分布からの隔たりは、システム故障や初期故障デバイスとなる統計的な見込みに基づき段階分けされ、無インクのウェーハマップが、これに応じて変更される。統計的手法を用いたテストの課題は、潜在的な故障の集団と、本質的な歩留損失との間の、許容可能なトレードオフをとることである。

後工程のダイの品質への影響

アセンブリ途中の工程が、あるテクノロジーにダメージを与えることがある。ウェーハの薄型化がひとつの例である：DRAM ウェーハの薄型化による、リフレッシュ特性の変化が観測されている。ウェーハレベルでフルにテストされたウェーハからのダイが、薄型化され SiP や MCP にアSEMBルされた後、全く同じテストで故障となることがある。アセンブリ工程中の熱処理ステップが、個々のビットに対して、リフレッシュ特性の変化を起こすこともある。この現象は可変リテンション時間（VRT: variable retention time）として知られており、アセンブリ工程前にスクリーニングすることはできない。

主要な課題は、ダイ供給者が達成する品質レベルを、再び確立することである。これは追加のアセンブリ後テストや、多チップパッケージ内にある個々の故障ダイ中での冗長要素の起動や、多チップのアプリケーション用に特別に設計された部品を用いることにより、達成できる。

ロジック

この節では、マイクロプロセッサのような非常に複雑なデジタル・ロジックデバイスに搭載された CMOS デジタルロジック部のテストや、もっと一般的に、単体、或いは、他のより複雑なデバイスと集積されるロジックコアのテストについて焦点を当てる。最も重要なことは、主要なロジックテストのトレンドが基本的なロードマップ・トレンドを決定付けるということである。大抵のトレンドデータが掴めるので、“大量生産マイクロプロセッサ”と“民生 SoC”が主なリファレンスとして選択されている。内蔵メモリ(キャッシュメモリのような)、I/O、ミックスシグナル、あるいは RF に関する特殊なテスト要求が各々の節の中で述べられており、これらの技術が搭載された複雑なロジックデバイスについて考える場合には把握しておかねばならない。

ロジックテーブルは、2つの異なる節を含んでいる。その2つとは、(1)大量生産のトレンドを牽引するものと、(2)大量生産のテスト要求である。前者は、基本的に内包されているロードマップ・トレンドを表し、後者はシステムや DFT のトレンドに追随するテスト要求を表している。ロジックのテスト要求に重要なインパクトを多く与えるシステムや DFT のトレンドを牽引するものについては、重要な関心領域の要約としてこの節の最後で論じることとする。

大量生産マイクロプロセッサのトレンドを牽引するもの

テーブルの最初の部分にあるトレンドは ITRS の他の部分から抜粋したもので、将来的なロジックテストの要求を予測するための主要な仮定の根拠付けとして、ここに再掲載している。テーブル TST4a と b の最初の2行は、チップあたりの機能(トランジスタ数)のトレンドや量産段階でのチップサイズのトレンドを示している。チップサイズは、その減少度がひとつのプロセス世代の中で毎年増大しているのとは別に、比較的一定である。その次の行の項目は、主なマイクロプロセッサのスケール制約～消費電力～になるという、マルチコア設計が向かうトレンドを一部分反映している。ITRS ではそれぞれのプロセス世代毎にコア数は倍になっていくと仮定している。ロジックテーブルの最後の2行は、標準的なデバイスの電源電圧範囲のトレンドとチップ外部データ転送速度のトレンドを示している。

システム・トレンドを牽引するもの

システム・トレンドを牽引するものは、将来的なテスト要求を企画する際にとっても重要となる。例えば、最も重要なシステム制約の1つは消費電力である。モバイル用途の急増、省電力技術の改良、システムの電力浪費問題、そしてエネルギーコストの増加は、デバイスの消費電力に実質的な歯止めをかけるのに貢献している。パフォーマンスの増加とともに制限なくデバイス電力が増える時代は終わったのだ。これは必ずしもパフォーマンスも同様に歯止めがかけられたという意味ではなく、もしムーアの法則が継続するなら、これは克服すべき主要な技術課題のひとつである。トランジスタの技術革新、プロセス技術、設計構成、システム技術は全て重要な影響を与える。

テストに影響を与えたシステム技術革新のひとつは、チップ内部やパッケージ内部の電圧調整の統合だった。チップ電力の増加とコア数の増加が、この統合を可能にしたと言える理由が少なくとも2つある。第1の理由は、電源/グランドピンの数とピンあたりの最大電流に制約があることによってパッケージは最終的に消費電力を制限すると云うことである。非常に高い電圧でチップに電力を送ることが可能なので、これらの制約はチップ内部の調整で大きく緩和できる。第2の理由は、消費電力を完全に最適化するために、マルチコア・アーキテクチャは個々のコアに精巧な個別の給電を必要とすると云うことである。結局、これはチップ内部で処理されることが必要だろう。全般的に言えば、このトレンドは DUT への給電問題を簡単にするが、一方では新しいテスト問題を多く生み出している。と云うのは、正確な電圧管理や電流測定が大電力デバイスのテストの重要な局面にいつもなるからだ。

もうひとつの重要なシステム・トレンドは、長い年月に渡って必要とされてきたチップ間のデータ・バンド幅の継続的な増加である。これは、チップの I/O データ転送速度と、I/O 数の増加と解釈できる。1 ギガ転送/秒(GT/s)よりも遙かに早いスピードの信頼性を得るために、差動伝送やエンベデッドクロックのような高速シリアル信号手法が必要とされている。例えば、これは既に PCI Express や Serial ATA インタフェースに見出されているし、また ITRS の時間枠を超えてマイクロプロセッサの全ての I/O ポート(例えば front side bus)に広がりを見せるであろう。これらのインタフェースのテスト要求やテスト課題に関するもっと詳しい議論は高速 I/O インタフェース(High Speed Input/Output Interface)の節で述べる。

DFT のトレンドを牽引するもの

チップサイズと共にテストコストが比例して増加する事を防ぐために、DFT の適用範囲や有効性の継続的な改善が重要になる。再利用可能なコアが多数出現してきたことによって、DFT 手法も斬新的な発展の可能性がある。複数のコアを同時にテストすることは出来ないか？コア同士がテストし合うことは出来ないか？テストで”不良”になったコアや最終用途で”不良”になったコアを1つ又は複数の冗長なコアで置き換えることは出来ないか？更には、汎用的なテスト機能を持つコア — オンチップ ATE の類 — をチップ上に実現することは出来ないか？DFT がどの様に発展し、DFT が製造工程のテスト要求にどの様にインパクトを与えるかを正確に定めることは大変難しい。しかし、ある明確なトレンドがある。それは、

- テスト時のデバイス I/O インタフェースを制約するのと同様に、増加するテストデータ量を抑える為に、構造テストや自己テストやデータ圧縮技法はこの先も重要であろう。
- DFT 技術は、局所的な不良の歩留改善を推し進めるために不可欠な技術であり続けるだろう。
- DFT 技術には、メモリと I/O などのように組み込まれた技術に対するテストの複雑さを最小限にすることが求められる。例えば、メモリ BIST エンジンにはデバイスの中に一般的に搭載されているが、これにより外部アルゴリズム・パターン発生器の必要性は軽減されている。また同様に、I/O 用の DFT 技術により、大量生産のテスト工程では洗練された I/O テストの必要性が軽減されている。
- DFT 技術には、デバイスの決定論的な動作を保証したり、デバイスの非決定論的な動作に対応することが今後益々求められるだろう。非決定論的な動作の例として、電源制御技術や、I/O の通信プロトコルや、デバイス自己救済の仕組みなどが挙げられる。

大量生産マイクロプロセッサのテスト要求

Logic Test Requirements テーブルの後半には、ITRS の展望によるテスト要求が列記されている。I/O のデータレートに関して、ストラクチャテストや DFT 技術を用いたテストでは低速アクセスで十分だが、そのインタフェース本来の速度のテストでは高速アクセスが必要になる。少なくとも近未来の展望では、1 つのデバイスに複数の I/O タイプが搭載されることになるだろう。このロードマップの最後では、消費電力はクライアント用のマイクロプロセッサでは最大 300W、サーバ用のマイクロプロセッサで最大 400W に事実上なっている。同様に、テスト装置のベクタメモリ要求も少なからず増えていくと想定されている。

Giga-Pin-Vectors (GPV) は、縮退故障のみを対象として論理ゲート規模から見積もったものである。他の故障タイプを含めた時のパターン数は、縮退故障パターン数の倍数としてテーブル TST5 に示した。

重要な関心領域

1. 消費電力と温度制御 — ロードマップ展望では、デバイスの消費電力はきわめて異常な値となっている。そのため、テスト時の電力供給や温度制御の新しい方式には、最先端のシステム設計の最適化が必要になるかも知れない。
2. 高速 I/O インタフェース — 高速のテスト装置解決策はデバイスの特性評価で必要とされるが、安価な DFT 用のテスト装置解決策は大量生産工程のテストで必要とされる。
3. マルチコアの傾向 — テストの悪化を引き起こすだけでなく、改善に結びつくかもしれない。マルチコア設計は前述の 2 つの懸念領域を悪化させる共に、テストを複雑にする。しかし、それだけでなく、テストを大いに助ける冗長救済のような、画期的な DFT が提案される機会になる可能性もある。

Table TST4a Logic Test Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Device Characteristics									
# of Transistors (M) — CPU	386	486	613	772	973	1,226	1,545	1,946	2,452
# of Transistors (M) — Consumer	254	344	450	608	773	926	1,225	1,609	2,031
Chip size at production (mm ²) — CPU	140	140	140	140	140	140	140	140	140
Chip size at production (mm ²) — Consumer	64	64	64	64	64	64	64	64	64
non differential data rate (GT/s)	2	2	2	2	3.2	3.2	3.2	3.2	3.2
Internal Scan data rate (MHz)	50	50	50	75	75	75	113	113	113
Single ended External Scan Data rate (Mb/s)	400	400	800	800	800	800	1200	1200	1200
Differential External Scan Data rate (Gb/s)	3	3	3	3	3	5	5	5	5
Vdd	0.8–1.1	0.8–1.0	0.8–1.0	0.7–1.0	0.7–1.0	0.7–0.9	0.6–0.9	0.6–0.9	0.6–0.8
CPU									
CPU total cores	4	4	5	6	6	7	8	9	10
CPU Unique cores	1	1	2	2	2	2	2	4	4
Percentage of Memory transistors	65%	65%	70%	70%	70%	70%	70%	75%	75%
Percentage of random logic transistors	5%	5%	5%	5%	5%	5%	5%	5%	5%
Percentage of core transistors	30%	30%	25%	25%	25%	25%	25%	20%	20%
Transistors per Flip Flop	26	26	26	26	26	26	26	26	26
Supplies per DUT	1–6	1–6	1–6	1–4	1–4	1–3	1–3	1–3	1–3
Number of patterns for high coverage SAF only	6572	7003	8744	9524	10456	11571	12911	17828	20193
Total # of bits scanned in (same as scan out) Gb	4	6	11	14	19	24	32	69	92
Maximum power consumption at test (W)	200	200	300	300	300	300	300	300	300
Maximum power consumption at test (W) – Server	300	300	300	300	300	300	300	400	400
Number of logic gates (M)	34	43	46	58	73	92	116	122	153
Consumer									
Consumer total cores	32	44	58	79	101	126	161	212	268
Consumer Unique cores	4	6	7	10	13	16	20	27	34
Percentage of Memory transistors	83%	84%	85%	85%	86%	86%	86%	86%	86%
Percentage of random logic transistors	2%	2%	1%	1%	1%	0%	0%	0%	0%
Percentage of core transistors	15%	14%	14%	14%	13%	14%	14%	14%	14%
Transistors per Flip Flop	26	26	26	26	26	26	26	26	26
Supplies per DUT	1–6	1–6	1–6	1–4	1–4	1–3	1–3	1–3	1–3
Number of patterns for high coverage SAF only	10,795	13,760	16,875	22,800	27,055	32,410	42,875	56,315	71,085
Total # of bits scanned in (same as scan out) Gb	2	3	3	5	8	7	13	22	36
Number of logic gates (M)	11	14	17	23	27	32	43	56	71

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

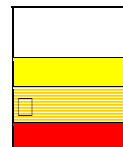


Table TST4b *Logic Test Requirements—Long-term Years*

Year of Production	2016	2017	2018	2019	2020	2021	2022
Device Characteristics							
# of Transistors (M) – CPU	3,090	3,893	4,905	6,181	7,788	9,812	12,364
# of Transistors (M) - Consumer	2,633	3,205	3,973	5,049	6,623	7,714	10,816
Chip size at production (mm ²) — CPU	140	140	140	140	140	140	140
Chip size at production (mm ²) — Consumer	64	64	64	64	64	64	64
non differential data rate (GT/s)	3.2	3.2	3.2	3.2	3.2	3.2	3.2
Internal Scan data rate (MHz)	169	169	169	253	253	253	380
Single ended External Scan Data rate (Mb/s)	1200	1200	1200	1200	1200	1200	1200
Differential External Scan Data rate (Gb/s)	5	5	5	5	5	5	5
Vdd	0.5–0.8	0.5–0.7	0.5–0.7	0.4–0.7	0.4–0.6	0.4–0.6	0.4–0.6
CPU							
CPU total cores	11	12	14	16	17	20	22
CPU Unique cores	4	4	4	6	6	6	6
Percentage of Memory transistors	75%	75%	75%	80%	80%	80%	80%
Percentage of random logic transistors	5%	5%	5%	5%	5%	5%	5%
Percentage of core transistors	20%	20%	20%	15%	15%	15%	15%
Transistors per Flip Flop	26	26	26	26	26	26	26
Supplies per DUT	1–3	1–3	1–3	1–3	1–3	1–3	1–3
Number of patterns for high coverage SAF only	23025	26426	30524	37458	43706	51278	60479
Total # of bits scanned in (same as scan out) Gb	123	167	228	353	490	685	965
Maximum power consumption at test (W)	300	300	300	300	300	300	300
Maximum power consumption at test (W) - Server	400	400	400	400	400	400	400
Number of logic gates (M)	193	243	307	309	389	491	618
Consumer							
Consumer total cores	348	424	526	669	878	1023	1435
Consumer Unique cores	44	53	66	84	110	128	179
Percentage of Memory transistors	86%	86%	87%	87%	87%	87%	87%
Percentage of random logic transistors	0%	0%	0%	0%	0%	0%	0%
Percentage of core transistors	14%	14%	13%	13%	13%	13%	13%
Transistors per Flip Flop	26	26	26	26	26	26	26
Supplies per DUT	1–3	1–3	1–3	1–3	1–3	1–3	1–3
Number of patterns for high coverage SAF only	92,155	112,175	129,123	164,093	215,248	250,705	351,520
Total # of bits scanned in (same as scan out) Gb	60	89	118	191	328	445	875
Number of logic gates (M)	92	112	129	164	215	251	352

Fault Type	Vector Min	Multiplier Max
BF (Bridging Fault)	1.3	1.3
TF (Transition Fault)	3	5
SD (Small Delay)	2	40

Table TST5 *Vector Multipliers*

高速 I/O インタフェース

高周波 I/O 技術の利用は、そのもともとの起源であるシリアル通信を超え、計算や通信の分野において、通信速度とポート数の点で急速に成長し続けている。これらは今日マイクロプロセッサや周辺インタフェース用チップ、あるいは周辺デバイス内に非常によく見られる IP ブロックである。従来よく使われてきたギガヘルツ・インタフェースの標準には、PCIe や SATA、SAS、インフィニバンド、ファイバーチャネル、ギガビット・イーサネット、XAUI、SONET、ハイパートランスポート、OIF、FB DIMM などがある。応用範囲の多様さから、その将来的な傾向を単純な形で概説するのは、非常に難しい。技術的な限界を押し上げるが、IC 産業のほんの小さな部分しか代表しないようなデバイスが存在する。一方、必ずしもスピード限界を押し上げはしないが、非常に異なるコスト構造と、それゆえの非常に異なるテストコスト上の許容レベルを持つために支持されている、大量生産のデバイスも存在する。他にも、単一デバイス上に多数のポートを必要とし、この技術の通常の「シリアルな」概念からは外れ、またそのため異なるテスト上の考慮と解決策を要求する、別のデバイスカテゴリもある。歴史的な技術要素と将来の傾向は、図 TST7 で示されている。

1998 年から 2001 年にかけての通信産業の急成長により、シリアル通信技術は 13Gb/s に、特殊プロセスにおいては 40Gb/s にまで到達した。ギガヘルツ・インタフェースの速度は、計算および通信の分野で、部分的には通信技術の初期の経験をもとにして、指数的な伸びを経験してきた。しかしながら、コスト構造やプロセス、パッケージ技術、テスト技術などがそれぞれに異なるため、高速インタフェースの適用は、とても単純とは言いがたい。たとえば、ギガヘルツ・インタフェースの多くは、主流の CMOS プロセスを用いた SoC 組込み型デバイスである。大規模な統合作業においては、非常にノイズが大きい SoC 環境での高性能インタフェース IP の設計が大きな課題となるばかりではなく、高性能インタフェースのテストもまた課題となる。たとえば統合されたひとつの IP ブロックでは、ギガヘルツ・インタフェースに対するテストは、大規模な CMOS 論理とデジタル端子に対するテストと結び付けられている。テストコスト管理や、高周波計測器の利用可能性、テスト装置設計における信号整合性の制約などが、今後数年にわたる開発の注力分野となる。

どの技術ロードマップ分析にもあるように、この指数的成長の傾向が持続できるかどうかは、技術的要求の変化や基礎技術の開発に依存している。通信産業主導の成長は、周波数上は頭打ちとなり、これからは 13GHz 近辺のシリアル接続技術に基づき確立された技術を超えてゆくための、技術開発が必要となる。図 TST7 は、これを技術的な注力点として示している。長距離通信分野とは異なり、ギガヘルツ・インタフェースの実装のある部分(特にチップ間インタフェース)は、高速技術がその分野でよりコスト的に見合うようになるまでは、(バスのような)ポート数の増加を選択するかもしれない。一方 I/O 周波数も、パッケージ技術やテスト設備技術などよりも、大きい成長率を見せている。物理的制限による技術上限は、図 TST7 において比喩的に示されている。データレートの将来的な伸びは、13Gb/s を越えた後は、ほとんどの分野で幾分ペースダウンするであろう。

この 2、3 年の間にテストおよび計測機器産業は、高速シリアル接続のテスト手法において目覚ましい進展を見せてきた。いくつかのテスト装置メーカは、6Gb/s までの製品のピンカードレベルで統合された解決手法を提供しており、他のメーカは既に 10Gb/s 超の手法を提案している。いくつかのテスト装置手法のスループットは、前世代に比べ大きく改善されている。しかしながら、もしジッタ測定やジッタ許容テスト、実速度振幅テストなどを行う場合、テストのスループットは多くの分野で、テストコストの許容性の点で依然課題となる。基本的な実速度テスト装置の観点からは、2007 年にテスト装置の 6Gb/s までのテスト手法が確立されるべきと言うのが安全なところである。もちろん、テスト装置の速度上限(ハイエンド PHY など)やポート数上限(ネットワークスイッチングデバイスなど)以上を強いてくるような分野は、いつでも存在するであろう。

現在の時点で製造テスト手法は、単純な内部的デジタル・ループバックや高性能テスト装置のピンカード手法、テスト部品化、テストボード上の基準デバイスから、追加可能な外部機器まで、広い幅を持つ。これらのアプローチはそれぞれ独自の得失を持つが、どの企業も設計をいずれかの手法に向けたものになっている。トレードオフは、DFT に使用されるシリコン領域に対する、テスト装置とインタフェースのコストである。異なる製品の欠陥比率の許容範囲も、テスト手法選択の重要な決定要因となる。

テスト機器に関するもうひとつの課題は、オンチップのイコライザがより広く採用されてくることである。全体的なシステムコストの削減を維持するために、FR-4 のような低価格プリント回路基板(PCB)成層材料が、多くの通信用バックプレーンや計算機の分野で、依然として選択されるであろう。しかしながら、FR-4 を選択すると、スペクトル周波数帯でのボトルネックになる。FR-4 の制約下でもデータ伝送レートを拡張するよう

な、プリアンファシス/デアンファシスや送信側イコライザ/受信側アダプティブ・イコライザ、マルチレベル・エンコーディングなどのいくつかの手法が開発中である。これらの機能をテストするには、テスト装置は単なるバイナリデータの生成・取り込みや、特定レベルでのジッタの挿入や測定以上のことを行わなくてはならない。これらの機能に対する DFT と BIST に関し、より深い研究が必要とされる。

近い時期に ATE メーカーは、速度とポート数の急速な進展ペースを維持するために、多ポートやギガビット・レートの計測器を設計し、制御ソフトウェアを含めてそれらをテスト装置に統合する、緊急な必要に迫られる。一方で実行可能な手法については、コスト効率が求められる。長期的には、性能に関するパラメトリックなテストをよりカバーできるように、既存の DFT 機能を、現状の機能的な擬似乱数ビットシーケンス (PRBS) BIST 手法以上のものに拡張する必要がある。オンチップ測定器や組込み設計検証手法が進化し、オフチップのテスト装置と共存することが予想される。オンチップとオフチップ手法がそれぞれの部分を受け持つのが経済的に理想的であるかは、依然として懸案事項である。目標は製造テストコストの最小化と、多ピンデバイスの効率的なテストである。

重要な関心領域

1. **データ転送速度の増加** — 大量生産のコンピュータ、ネットワークのアプリケーションでは、ギガヘルツ・インタフェースの成長がまだ指数のペースを保っている。統合化された解決策は 6Gbps を超えると制限が出てくる。
2. **ポート数の増加** — 低電圧 CMOS 技術と出力電圧の小振幅化で、大規模 ASIC と SoC の高集積が可能になる。2007 年現在では、100 ペア迄の 1~3Gbps バックプレーン型シリアライザとデシリアライザ (SerDes) が、幾つかのアプリケーションで見られる。2008 年はポート数が 6~8Gbps で 200 ペアを超える。しかしながら多くの最終製品では、ポート数は 40 ペアかそれ以下に制限されるだろう。このようにポート数が増えると、研究用装置を使う従来の rack-and-stacks 手法は使えなくなる。マルチポート ATE 解決策では、単一の機器でかなり大量のシリアルポートを処理する必要がある。主な ATE メーカーは、この問題解決のために幾つかの製品を出してきたが、コスト削減と機能向上のために、更なる多くの努力が必要である。例えば、多数ポートのデータストリーム連続性の為、テストは各ポートで位相とデータが同期する必要がある。ポート数の増加はテスト時間を増加させる為、各ポートを連続的に整理して使用する解決策が重要である。上述のように、非常に多くのポート数を処理するための一般的な方法は、今のところ評価やサンプルテストを可能にする DFT 技術と設計マージンだけである。テストと設計マージンの間の妥協点は、アプリケーションごとに変わる。
3. **コスト要因** — 伝統的に、マルチギガビット・トランシーバは、集積レベルが低く生産量も比較的少ないにもかかわらず、高性能で高価で高マージンなデバイスとして設計されていた。低コストで低電力の CMOS マクロセルの導入により、ギガヘルツ・インタフェースは、大量生産でき、安価な(更には汎用的な)デバイスとして評価されるようになってきた。ポート数が多いだけでなく、同時に全てのシリアルポートをテストできるコスト効率の良い ATE 解決策が、量産には不可欠である。性能と集積度間の普遍のトレードオフは SerDes デバイスを 2 つに分類することに帰着する。その 2 つの分類とは、高性能シリアル・トランシーバと高集積・ギガヘルツ・リンクのマクロセルである。各タイプのテスト方法はコスト要求に基づいて選択されるべきである。高性能や長距離の通信関連製品の経済性は、従来の装置依存のテスト手法や、以前にも議論されたハイブリッド・テストによるテスト手法を一般的に可能にしている。信頼できる DFT 技術や他の低コストなテスト技法は SerDes の多ポート化に対する究極の解決策だが、製品の完成前に、テストで実速度のテストをしたいと云う強い願望が未だにある。技術改善が進むにつれて、殆どのデバイスのライフサイクルは大変短くなっている。その結果、DFT を回路的に検証したり最適化したりすることは益々難しくなるかも知れない。
4. **ジッタ分解測定** — 送信器で発生するジッタは、送信器の品質を保証する重要な要素である。多くのシリアルリンク規格では、ジッタを deterministic ジッタ(DJ)と random ジッタ(RJ)に分ける概念が取り入れられている。peak-to-peak ジッタに基づくヒストグラムの従来の概念は、total ジッタ(TJ)の概念に置き換えられてきている。これはシリアルリンクにおける一定のビットエラー・レート(一般に 10^{-12})に関係している。またそれとは別に、一定数のサイクルで cycle-to-cycle ジッタや、peak-to-peak ジッタや、RMS ジッタを測定するトレンドもある。このトレンドは、非常に短い時間でジッタのデータを収集するクロック方式として大いに意味がある。また、ジッタ測定には非常に厳格なシグナル・インテグリティ要求が必要になる。他

方では、源の同期バスがギガヘルツ範囲に入ること、クロックバスと複数データバス間の非相関ジッタなどは、ジッタ測定におけるもう一つの問題の始まりとなる。これは確実に従来のシリアル PHY(物理層)ジッタの定義を超えている。

5. **ジッタ許容テスト** — ジッタ許容テストとは、ビットエラー・レート(BER)とも言われる通信品質が低下する前に、レシーバが許容できる入力信号のジッタの度合いを測定することである。これはレシーバ(Rx)の耐ノイズ特性に関する重要な仕様である。ジッタ許容テストを実施するには、管理された方式で、ジッタをデータストリームに慎重に入力しなければならない。使用されているクロック方式のアーキテクチャに依っては、レシーバにストレスを掛けるために、別のタイプのジッタが必要になる。正弦波ジッタが必要な応用や、DJ/RJ/PJ の組み合わせを要する応用もあれば、一定数のサイクルで peak-to-peak ジッタか RMS ジッタを要する応用もある。これらの全ての種類のジッタを入力できる統合化された計測器は、ATE 業界にも研究用装置の業界にも無い。しかしそれらは2年前からの計画で、研究用装置の業界において、より利用可能な状態となり始めている。今の時点では、幾つかの ATE 解決策が量産工程テストにおける、レシーバ、クロック、及びデータにストレスとしてジッタを加える可能性を提供しており、2,3 年前からの大きな進歩である。
6. **テスト治具のバンド幅** — デバイスと計測器あるいは ATE を繋ぐテスト治具にはプリント回路基板や、コネクタ/ポゴピンなどが含まれる。周波数が増大してポート数が増すと、大きな損失も歪みも無いまま高周波信号を装置に伝える能力は、テスト工学において至難の技になる。いったん信号が 10Gbps を越えると、テスト治具のバンド幅要求は 20GHz に達する。多くの場合、バンド幅は唯一の問題ではなく位相応答が更にジッタ測定に大きな影響を及ぼす。しかし、この条件を満たすことが可能な配線はごく僅かで、測定器が DUT から数インチから数フィートも離れた所にある場合、その様な何百もの配線で繋ぐことは誰にとっても困難である。また、ソケットとウェーハプローブには、マルチギガヘルツ・テストに関して深刻なバンド幅ボトルネックがある。これらについては更に研究開発が必要である。最近、ソケットのバンド幅に重要な改善が成されているが、新しい高バンド幅ソケットの解決策が限定的な機械的スペックに向けて取り組まれている。不確かな挿入や一貫性のないコンタクトは、テスト結果のバラツキや歩留り落としを引き起こす未だに共通の問題である。また、他の開発領域でも活発な動きは、ソケットや PCB やケーブルやコネクタを含む全てのシグナルパスをシミュレーションするためのツールを供給していることである。より高いデータレートの測定精度において、テスト治具が与える影響を取り除き、RF やマイクロウェーブのアプリケーションの基準となる技術が必要とされる。ギガヘルツ・インタフェースを含むスペクトルに、ジッタ仕様に関連するタイムドメイン・ゼロクロッシングが加わり、テスト治具の影響を取り除くことは容易ではない。テスト治具のバンド幅、位相歪の影響をなくす為に、テストボード上の均等化回路について、いくつかの努力がなされてきた。これは、たとえテストがし易くなる為に仕様や性能を見返したとしても、よりいっそう研究が必要な領域となるだろう。
7. **同期化** — シリアル通信向けの大抵のレシーバは、クロックやデータストリームからクロックを取り出すためのデータリカバリ回路(CDR)を使用している。リカバリされたデータの位相は、同じデバイス上のポートからポートの離れている部分まで、或いは次ぎのリセットまで非決定性を有する。可変幅が大きいタイミングとクロックの仕組みでは、位相補正やフレーム補正を行って、この潜在的なバラツキに適応させることが必要とされる。この領域では、最近、新しい ATE のピンカードの解決策で若干だがより良い進歩があった。
8. **パラメトリックDFT 対 ロジックDFT** — 今までの基本的なファンクション DFT 回路は、SerDes モジュール用に実行されてきた。オンチップ BIST は、組込み擬似ランダムビット・ストリーム(PRBS)発生器と BER 検出器で主に構成されている。しかし、これらは機能テストのカバレッジだけを備えている。(入出力ジッタや電圧レベルのような)パラメトリック・テストの能力はない。しかし、複雑化する事前補整と平均化の方法を使うことで、ジッタ用の BIST 回路とレベルテストなど、パラメトリック DFT はわずかながら進歩してきている。ジッタ用の BIST 回路とレベルテストは、未だ研究段階である。
9. **イコライズとデコーディング** — プリエンファシス、レシーバのイコライズ、DFE などのようなより高度な幅広いアナログ技法の採用は、テスト要求を少々伝統的だが周波数的には大変高いアナログテスト・解決策へと潜在的に導く。伝統的なバイナリーパターン・ジェネレータに基づいている解決策は、レシーバイコライズと DFE テスト要件をカバーできない。通常、AWG に基づく解決策はバンド幅が低く、より高価であることがわかっている。トランスミッタ・プリエンファシス分析は、対するレシーバイコライズに比べそれ以上のテスト解決策をもつ。

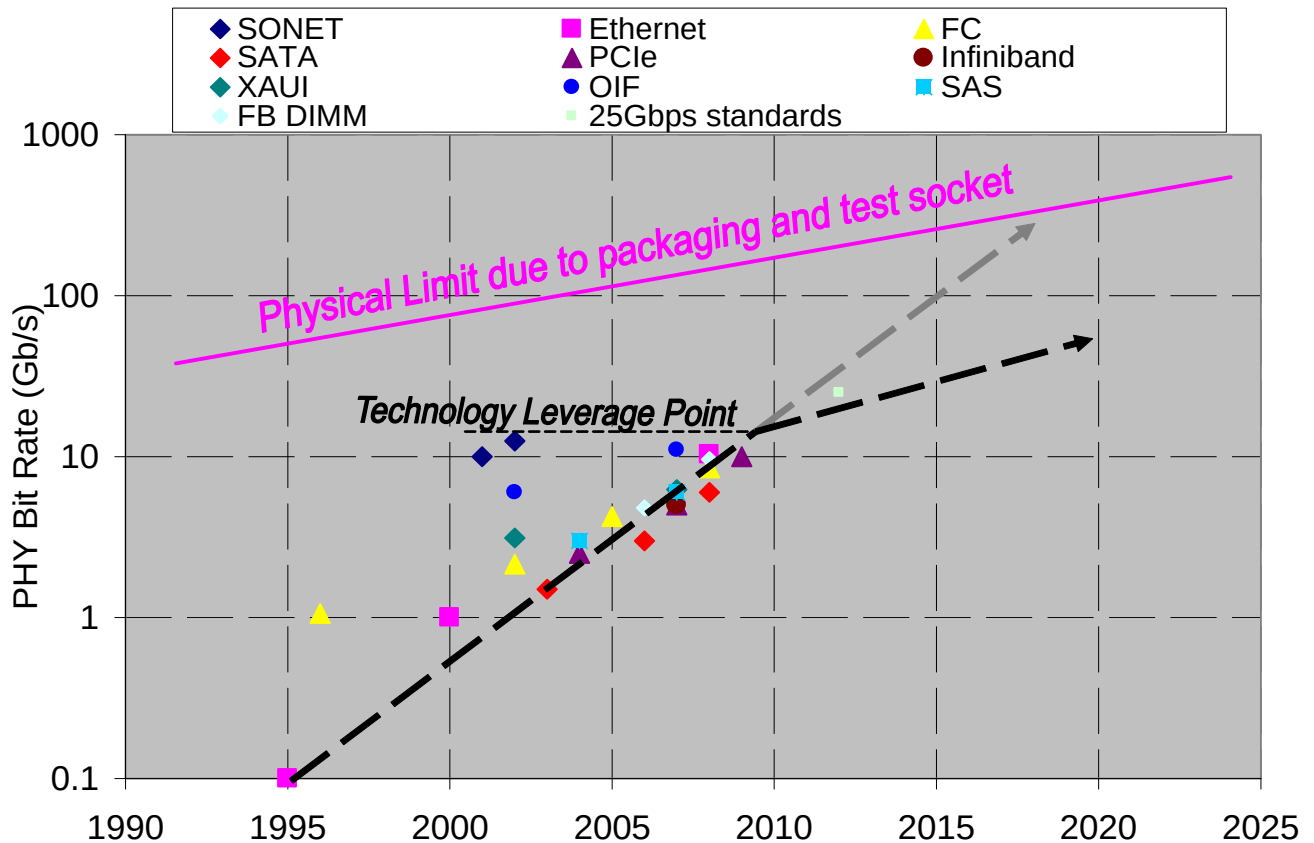


Figure TST7 High Speed Interface Trend

メモリ

メモリセル密度【訳者注:メモリ容量】は、ムーアの法則に従ってロードマップの通りに成長を続けるだろう。2007 ITRS ORTC テーブルは、3 年毎の DRAM テクノロジペースについて製造上の同意を示している。そのような、全メモリ・デバイスのセル密度傾向は、2005 年度ロードマップと比較して緩やかになっている。メモリスケーリングの継続は、高・低誘電体やその他の材料のより一層の開発を要求する。メモリ I/O のデータレートは先端 DRAM において、他のメモリタイプと比較してロードマップ全般に渡って増加するだろう。

さまざまなメモリタイプ間のパフォーマンスとセル密度の比較を容易にするために、全メモリは 2007 年度のテーブル TST6a に融合された。DRAM は、ロードマップを通して I/O パフォーマンスのリーダーであり続けるだろう。一方で、NAND フラッシュが容量において優位を占めるだろう。

最近のメモリテスト解決策は、デバイスタイプ(DRAM,NAND,NOR)を対象にしていた。が、最近のさまざまなメモリタイプ間での容易な容量変更の要求が、特にウェーハテスト機能のテスト環境において、より共通の解決策を駆り立てている。さまざまなメモリタイプ間の I/O データレートの多大な不均衡が、パフォーマンステストのために、ひとつの低コスト解決策の開発を難しくするだろう。

DRAM

DRAM 容量は、3 年ごとに 2 倍になると見積もられ、I/O パフォーマンスは上がり続けるだろう。DDR6 でのデータレートを予想する 2007 年度の新 DRAM モデルに基づくと、DRAM は 2022 年には I/O 毎 8.4Gb/s のデータレートに到達する。もし DFT オフセットやマルチインサージョンテストがコストを最小化しないならば、メモリ容量の増加は、デバイステスト時間と製造セルのスループットを低下させることになるだろう。故障検出、解析、救済は、汎用 DRAM に必要である。テスト生産性を拡張するため、新しいテスト指向アーキテクチャが要求される。マルチビットテスト、BIST、BISR(built-in self repair)が、生産スループットと歩留りの確保に不可欠になるだろう。

自動テスト装置によるテストの並列化は、テストコストを管理するためにロードマップでもかなりの数が要求されている。汎用 DRAM は特殊用途の先端 DRAM より I/O ビットレートが遅い。2Gbps 以上の領域では、

テストソケットプローブカード、ハンドリングを伴う DUT インタフェースのシグナル・インテグリティの問題がある。テストヘッドあたり 128 個以上の同時測定が、要求されるインタフェースの配線混雑のために課題になるだろう。I/O ビットレートのパフォーマンスは、量産ビットレートより少なくとも 2 倍になるだろう。高い I/O ビットレートは、将来のテスト精度を正しく定義する方法についての課題となる。4,8,16 ビットの伝統的な I/O バス幅は、モバイルデバイスで駆動される 32 ビットバス幅で補完された。大量の汎用 DRAM のバス幅は、潜在する差動バスの要求により、ロードマップの終わりごろには、32 ビット I/O に移るかもしれない。DRAM における主要な故障モデルは、セルの縮退故障、複数セルの結合故障、デコーダ開放故障、データ保持故障であり続けるだろう。65nm やそれ以下の物理サイズ領域では、製品開発のためにインラインでの欠陥検出が不可欠になる。インラインでの欠陥モニタリングで、欠陥ウェーハの混入が避けられ、ウェーハソートとパッケージテストのテスト時間は今迄通りに維持できることになる。

フラッシュ

短期的に見ると NAND フラッシュは 1 年ごとにセル密度【訳者注:メモリ容量】が 2 倍になり、その後この傾向は減速して 1.5 年ごとに 2 倍になるだろう。1.5 年毎の倍増は、いくつかのセルタイプについて単一のメモリセルに保存されるビットの数(1 または 2 から 4)の増加のため、計画されたリソグラフィのテクノロジノードの移行よりさらに速くなるだろう。どのテクノロジ世代でも、NAND のセル密度は一般的に NOR の 4 倍であった。そして今後も、そのトレンドは続くと思込まれている。誤り訂正技術の使用は、より大きな修正前エラー率を許容して、1 メモリセルあたりのビット増加を可能にする。NAND バス幅は主として 8 ビットであり続けてきたが、或る製品では 16 ビットもある。

NOR メモリ容量は、ロードマップの期間を通して、3 年毎に倍増すると予想される。2005 年とその前のロードマップは、一貫して 32 I/O NOR 製品を示したが、32 I/O NOR 製品は、2007 年のロードマップから取り除かれた。NOR 製品は 8 か 16bit に組織構成されるが、I/O の数はシリアルバスとマルチバスの実装のために異なるだろう。入出力データ信号速度は、組込み用途で使用されるより速い ASIC デバイスと足並をそろえるために、ロードマップの期間に、533Mb/s まで増加すると予測される。

NAND と NOR は、アーキテクチャや、使用目的や、不良ブロックの扱いが異なるため、同じテスト手法を一般的に採らない。しかしながら、NAND と NOR のバスの相違は時間が経つと共に無くなってきており、Serial Peripheral Interface(SPI)バスや他のシリアルバス定義は、組込み用途を目的にしている。用途に合わせたフラッシュメモリのカスタマイズによって、バスの種類は更に広がると思われる。4M ビットを超えるセル密度では、バス幅は 8 ビットと 16 ビットが主流である。32 ビットバス幅の NAND は、2007 年のロードマップから落とされた。

外部供給電圧の 3 倍から 8 倍が必要になる内部駆動電圧の必要性は、ホットエレクトロンや Fowler-Nordheim の電荷移動メカニズムにより追い立てられ続けられると思われる。低電圧化のトレンドによって、将来は供給電圧の絶対精度の向上が必要になるだろう。しかし供給電圧に関係する精度の割合は一定であることが要求される。入出力電圧の低下により、標準テストの負荷回路は動作限界に達している。すなわち、将来は新しい手法が必要になる。

ウェーハテストでは、パッケージテストほどの性能は一般的に必要とされない。しかしエラー検出や、エラー解析や、救済の工程では必要とされる。フラッシュメモリと他のメモリやロジックデバイスを単一のパッケージ内に積み重ねる実装は標準的になってきており、今後も続くと思われる。1 つのパッケージ内に複数のチップはパッケージテストの要求を複雑にし、必要とされるピン数と DUT 電源数は増える。フラッシュメモリのデータ転送速度やクロック速度は増大するだろうが、最終製品に基づく要求には幅広い多様性が求められている。

内蔵メモリ

内蔵 DRAM のビット数は、汎用 DRAM と NAND の容量成長率に合わないだろう。デュアルゲート・プロセスにおけるロジックと DRAM の混載設計では、主要な関心事は配線間ノイズとセンスアンプ不均衡であろう。100nm 或いはそれ以下の DRAM ハーフピッチでは、インラインの欠陥検出が製品開発のために不可欠になる。

内蔵 Flash メモリのビット数は、短期的には指数関数的に増加し、ロードマップの後年には、2 年毎に 2 倍になるだろう。より多くのデバイスが DRAM と Flash メモリの両方を含むだろう。酸化膜の信頼性、センスアンプの不均衡、および酸化物-窒化物-酸化物(ONO)のスケーリング則は、将来フラッシュメモリで主要な関心事になるだろう。

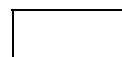
テストの生産性を高めるために、新しいテスト指向のアーキテクチャが要求される。組込み自己テスト技

術【訳者注:BIST】や組込み自己救済技術【訳者注:BISR】は、内蔵DRAMや内蔵フラッシュメモリのテスト、生産スループットや歩留りの維持に必須となる。内蔵DRAMでは全てのデータに対するマーチテストが必須である一方、フラッシュメモリの基本的なテストアルゴリズムは、読出ディスターブや書込ディスターブや消去ディスターブであり続け、テストにおけるかなりの並列化が、メモリセル密度【訳者注:メモリ容量】の増加で直面するテストスループットを今迄通りに維持するために必要とされる。いくつかの場合、2パステスト手法は、ロジックと内蔵メモリを同じテストでテストするよりもコスト的な効果を生むだろうと見込まれている。2パステスト手法において、ロジック部はロジックテストで今迄通りにテストされる一方、内蔵フラッシュや内蔵DRAMはメモリテストでテストされたり救済されたりする。内蔵SRAMのテスト要求については、本章の高性能マイクロプロセッサの節で説明する。

Table TST6a Memory Test Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM Characteristics									
Capacity (Gbits)									
R&D	8	8	16	16	16	32	32	32	64
Mass production	2	2	4	4	4	8	8	8	16
Mass production I/O data rate (Gb/s)	1.1	1.3	1.3	1.6	1.6	2.1	2.7	2.7	3.2
Performance I/O data rate (Gb/s)	1.9	2.4	2.4	2.9	2.9	3.8	4.8	4.8	5.8
Mass production I/O width	16	16	16	16	16	16	16	16	16
Mass Production CLK rate (GHz)	0.5	0.7	0.7	0.8	0.8	1.1	1.3	1.3	1.6
NAND Characteristics									
Capacity (Gbits)									
R&D	64	64	128	128	128	256	256	256	512
Mass production	16	16	32	32	32	64	64	64	128
Maximum I/O data rate (Mb/s)	0.05	0.05	0.05	0.066	0.066	0.1	0.1	0.1	0.1
Data width (bits)	16	16	16	16	16	16	16	16	16
Power supply voltage range	1.5–5.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5	1.0–3.5	1.0–3.5
Power supplies per device	2	2	2	2	2	2	2	2	2
Maximum current (MA)	35	35	35	35	35	35	35	35	50
Tester channels per device	24	24	24	24	24	24	24	24	24
NOR Characteristics									
Capacity (Gbits)									
R&D	4	4	8	8	8	16	16	16	32
Mass production	1	1	2	2	2	4	4	4	8
Maximum I/O data rate (Mb/s)	0.2	0.2	0.266	0.266	0.266	0.333	0.333	0.333	0.4
Data width (bits)	16	16	16	16	16	16	16	16	16
Power supply voltage range	1.0–5.5	1.0–5.5	0.9–3.5	0.9–3.5	0.9–3.5	0.9–3.5	0.9–3.5	0.9–3.5	0.9–3.5
Power supplies per device	2	2	2	2	2	2	2	2	2
Maximum current (MA)	150	150	150	150	150	150	150	150	150
Tester channels per test site	72	72	72	72	72	72	72	72	72
Embedded DRAM									
Capacity (Mbits)	256	512	512	512	1024	1024	1024	2048	2048
DFT	BIST/BISR								
Embedded Flash									
Capacity (Mbits)	64	128	128	128	256	256	256	512	512
DFT	BIST/BIST/DAT								
Embedded SRAM									
Capacity (Mbits)	0.5	1	1	1	2	2	2	4	4
DFT	BIST/BISR								

Manufacturable solutions exist, and are being optimized



Manufacturable solutions are known
Interim solutions are known
Manufacturable solutions are NOT known

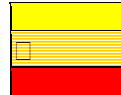


Table TST6b Memory Test Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM Characteristics							
Capacity (Gbits)							
R&D	64	64	128	128	128	256	256
Mass production	16	16	32	32	32	64	64
Mass production I/O data rate (Gb/s)	3.2	4.3	5.3	5.4	6.4	6.4	8.5
Performance I/O data rate (Gb/s)	5.8	7.7	9.6	9.6	11.5	11.5	15.4
Mass production I/O width	16	16	16	16	16	16	16
Mass Production CLK rate (GHz)	1.6	2.1	2.7	2.7	3.2	3.2	4.3
NAND Characteristics							
Capacity (Gbits)							
R&D	512	512	1024	1024	1024	2048	2048
Mass production	128	128	256	256	256	512	512
Maximum I/O data rate (Mb/s)	0.133	0.133	0.133	0.133	0.266	0.266	0.266
Data width (bits)	16	16	16	16	16	16	16
Power supply voltage range	1.0–3.5	1.0–3.5	1.0–3.5	1.0–3.5	1.0–3.5	1.0–3.5	1.0–3.5
Power supplies per device	2	2	2	2	2	2	2
Maximum current (MA)	50	50	50	50	50	50	50
Tester channels per device	24	24	24	24	24	24	24
NOR Characteristics							
Capacity (Gbits)							
R&D	32	32	64	64	64	128	128
Mass production	8	8	16	16	16	32	32
Maximum I/O data rate (Mb/s)	0.4	0.4	0.533	0.533	0.533	0.533	0.533
Data width (bits)	16	16	16	16	16	16	16
Power supply voltage range	0.9–3.5	0.9–3.5	0.9–3.5	0.9–3.5	0.9–3.5	0.9–3.5	0.9–3.5
Power supplies per device	2	2	2	2	2	2	2
Maximum current (MA)	150	150	150	150	150	150	150
Tester channels per test site	72	72	72	72	72		
Embedded DRAM							
Capacity (Mbits)	2048	4096	4096	4096	4096	4096	8192
DFT	BIST/BISR						
Embedded Flash							
Capacity (Mbits)	512	1023	1024	1024	1024	2048	2048
DFT	BIST/BIST/DAT						
Embedded SRAM							
Capacity (Mbits)	4	8	8	8	16	16	16
DFT	BIST/BISR						

アナログとミックスシグナル

単一チップにおける統合(SoC)や単一パッケージにおける統合(SiP)により経済的恩恵を十分うけてきた。こうした統合は、デジタル、アナログ、電力制御、ミックスシグナル、および RF/マイクロウェーブ回路を通常、単一のパッケージに、あるいは、しばしば同一チップ上に組み合わせて搭載する。こうしたトレンドは、単一部品のインタフェース種類を多様化し、これを反映するために、テストの対応する計測器の多様化をもたらしている。

ミックスシグナルやアナログテストに影響を与えるもう一つの重要なトレンドは、マルチサイトテスト(あるいはパラレルテストとも呼ばれる)の経済的な必要性である。パラレルテストをサポートするには、テスト工程のスループットを高く維持するために、各インタフェース種類に対して機器のより多くのチャンネルが必要となる。

デバイス当りのインタフェース数の増加、あるいは同時にテストされるデバイス数の増加は、リアルタイムに処理すべきデータ量の増加を招く。ミックスシグナルやアナログ回路からのそれらのデータは、ノンディタミニスティック【訳者注:非決定論的、すなわちパス/フェールを直接示さない、との意】であり、デバイスの品質を決定するように加工されなければならない。この処理はテスト工程のスループットを高く維持するために、リアルタイムに行なわれるか、あるいは他のテスト測定を行っているのと並行して行なわれなければならない。

今後、テスト計測器の帯域幅、性能、密度、あるいはデータ処理能力は、必要な経済性を実現するために、格段に向上されねばならない。もっとも大きな変化を起こしている領域は RF/マイクロウェーブであり、これは別の独立した節で説明される。ミックスシグナルデバイスのためのデジタルおよび高速シリアルへの要求は、ロジックでの要求と同じであり、ロジック節で説明される。

本節はアナログミックスシグナルのテスト要求に注力する。ミックスシグナルのテスト要求テーブル TST7a および TST7b は、特定のアプリケーションよりも、テスト計測器に焦点を合わせている。テスト計測器はしばしばデバイスのひとつ以上の市場用途をカバーし、単一のテスト構成で十分に利用可能でなければならない。それゆえ複数の用途に対する要求は、少数の計測器の範疇に集約される。アナログ波形の生成と捕捉への要求は、2 つのクラスに分けられる。即ち、ミックスシグナルテストへの基本的で最低限の低周波要求と、ハイエンド向けの超高速の周波数要求である。ここで、これら適切なミックスシグナル計測器への要求は、ロードマップにおける他の節やテーブルと関連つけられる。

2 つの重要なトレンドが挙げられる。一つ目は、適切なテスト品質を提供することである。多くのアナログ/ミックスシグナルのテストは機能的に行なわれる。このためデバイスの最終市場でのアプリケーションでのバンド幅や分解能を持った、高精度な信号を生成し分析する計測器の能力を必要とする。二つ目の重要なトレンドは、パラレルテストの経済性を、計測器の密度とパラレルテスト効率(複数部品をテストする際のオーバーヘッドの指標)を考慮しながら、実現可能とすることである。

テスト計測器のチャンネル数、複雑さ、そして性能増加のトレンドは持続すると思われるが、同時に、テストのコストは低減されなければならない(下記の関心領域を参照)。アナログミックスシグナルの DFT や BIST 技術は遅れている。性能ベースのアナログテストの立証された代替手段は存在せず、この分野における更なる研究が必要である。アナログ BIST は解の候補であり、また更なる研究領域として提案されてきた。テスト計測器の複雑さを低減、あるいは外部計測器を不要にする技術を見極める基礎研究が必要とされている。

重要な関心領域

1. 市場へのタイムリな製品投入、および利益のタイムリな回収の課題は、ファーストシリコンで十分なテストの準備が整っている必要性を求めている。アナログ/ミックスシグナルのテスト環境は、テスト設備やテスト手法を極めて複雑にしている。ノイズ、信号線上のクロストーク、付加された回路、ロードボード設計の複雑さ、およびテストのハードウェア/ソフトウェアの問題で、現在のテスト開発のプロセスとスケジュールが大部分決まってしまう。テスト開発のプロセスは、設計に遅れないように、より短く、より自動化されねばならない。更には、アナログ/ミックスシグナルの再利用可能なテスト IP が求められている。
2. すべてのアナログ/ミックスシグナルのチップに対して、マルチサイト並列および同時テストの利用率向上が、テスト時間の短縮、製造工程のスループット向上、そしてテストコスト低減のために必要である。DC を含めたすべてのテスト計測器の種類は、同時/並列測定が可能で、結果を計算するための DSP アルゴリズム(FFT など)の適切な高速並行処理が可能な、複数チャンネルを必要とする。更には、これらの測定器におけるチャンネルあたりのコストは下がり続けなければならない。
3. 上記の項目1および項目2をサポートするためにアナログ/ミックスシグナルの DFT および BIST の改良が必要である。

Table TST7a Mixed-signal Test Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Low Frequency Waveform									
BW (MHz)	50	75	75	75	100	100	100	100	100
Sample rate (MS/s)	Moving from Nyquist sample rates to over/under sampling sources/digitizers								
Resolution (bits)	DSP computation to 24 bits, effective number of bits limited by noise floor								
Noise floor (dB/RT Hz)	-155	-160	-160	-160	-165	-165	-165	-165	-165
Very High Frequency Waveform Source									
Level V (pk-pk)	4	4	<4	<4	<4	<4	<4	<4	<4
Accuracy (±)	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%
BW (GHz)	1.6	1.9	2.25	2.7	2.7	3	3	3.75	3.75
Sample rate (GS/s)	6.4	7.6	9	10.8	11	12	12	15	15
Resolution (bits) AWG/Sine†	8/10	8/10	8/10	8/10	8/10	10/12	10/12	10/12	10/12
Noise floor (dB/RT Hz)	-140	-140	-140	-140	-140	-145	-145	-145	-145
Very High Frequency Waveform Digitizer									
Level V (pk-pk)	4	4	<4	<4	<4	<4	<4	<4	<4
Accuracy (±)	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%
BW (GHz) (under sampled)	9.2	10.8	10.8	12.5	12.5	15	15	15	15
Sample rate (GS/s)	0.4	0.4	0.4	0.4	0.4	0.6	0.6	0.6	0.6
Min resolution (bits)	12	12	12	12	12	14	14	14	14
Noise floor (dB/RT Hz)	-145	-145	-145	-145	-145	-150	-150	-150	-150
Time Measurement									
Jitter measurement (ps RMS)	Will be driven by high-speed serial communication ports								
Frequency measurement (MHz)	Will be driven by high-performance ASIC clock rates								
Single shot time capability (ps)	Will be driven by high-speed serial communication ports								

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

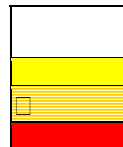


Table TST7b Mixed-signal Test Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
Low Frequency Waveform							
BW (MHz)	100	100	100	100	100	100	100
Sample rate (MS/s)	Moving from Nyquist sample rates to over/under sampling sources/digitizers						
Resolution (bits)	DSP computation to 24 bits, effective number of bits limited by noise floor						
Noise floor (dB/RT Hz)	-165	-165	-165	-165	-165	-165	-165
Very High Frequency Waveform Source							
Level V (pk-pk)	<4	<4	<4	<4	<4	<4	<4
Accuracy (±)	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%
BW (GHz)	3.75	3.75	3.75	3.75	3.75	3.75	3.75
Sample rate (GS/s)	15	15	15	15	15	15	15
Resolution (bits) AWG/Sine†	10/12	10/12	10/12	10/12	10/12	10/13	10/14
Noise floor (dB/RT Hz)	-145	-145	-145	-145	-145	-145	-145
Very High Frequency Waveform Digitizer							
Level V (pk-pk)	<4	<4	<4	<4	<4	<4	<4
Accuracy (±)	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%
BW (GHz) (under sampled)	15	15	15	15	15	15	15
Sample rate (GS/s)	0.6	0.6	0.6	0.6	0.6	0.6	0.6
Min resolution (bits)	14	14	14	14	14	14	14
Noise floor (dB/RT Hz)	-150	-150	-150	-150	-150	-150	-150
Time Measurement							
Jitter measurement (ps RMS)	Will be driven by high-speed serial communication ports						
Frequency measurement (MHz)	Will be driven by high-performance ASIC clock rates						
Single shot time capability (ps)	Will be driven by high-speed serial communication ports						

RF(RADIO FREQUENCY:無線周波数)

RF 周波数帯域は、アプリケーション別に以下の四つに大別される。

1. 3GHz 迄の低周波数帯域は、主に長距離の携帯電話向けとして現在利用されている。ただし、ワイヤレスクライアント通信プロトコルである WiMAX の一般化に伴い、携帯電話向けアプリケーションの周波数領域はより高周波な領域にシフトしていく。
2. 3-6GHz の帯域は、衛星放送 TV 及び 802.11a プロトコルによるワイヤレス LAN で使用されている。
3. 6-45GHz 帯域は、中距離の無線通信向けに運用される(Bluetooth は UWB(Ultra Wide Band)へ移行していく)。
4. 最も高周波となる 45-94GHz 帯域は、主に短距離のレーダーアプリケーション、特に自動車用として用いられる。ただし、60GHz は今後、短距離のワイヤレス LAN や衛星間通信で用いられるであろう。CMOS 技術が今後 60GHz 程度の周波数をサポートする事が期待されている。

この中で最も注目すべき技術トレンドは、低周波数帯域での、802.11 及び 802.16 通信規格に沿った、より高周波帯域へのシフトである。ただし、12GHz 以上の高周波数帯域デバイステストに関しては、非変調信号を用いた従来のテスト技法で対応可能であると予測される。

テストに対しては、テストの電源/デジタル/AC ベースバンド測定部と RF 測定器との完全な同期が、重要な機能として要求される。EVM(Error Vector Magnitude)測定は必須である。RF が、SoC や SiP の機能として取り込まれる事に対する解決策の提供も重要となってきた。RF のパラメータ測定だけではなく、ハイエンドデジタルやミックスシグナル部と組み合わせられ一体化されたデバイステストに対する解決策である。SiP テストに於いては、前工程でのテストが重要となる。また、RF テストを、合理的なコストで全数テスト行う為に多数個同測は必須であり、RF の前工程での対応は今後も増加していく。ロードボード/ソケット/プローブカード等のツール類も DUT 入出力のシグナル・インテグリティを確保する為に重要である。これらの課題

から、RF テストに対する DFT 手法の提案、及びフル RF ファンクションテストに代わる低コストテスト手法の提案に対する要求が、近い将来高まると想定される。

重要な関心領域

1. 高性能化/高周波数化するデバイスに対する低コストテスト要求の関係から、新たな DFT テスト手法及び簡易化テスト手法の提案が大きな注目を集めている。
2. SoC や SiP 技術により、RF が製品に組み込まれる事が多くなった。RF テストとデジタル(ハイエンド)やミックスシグナルテストを組み合わせる事が一般的になってきている。前工程での RF テスト対応は増加していく。テストシステムに続き、ロードボード/ソケット/プローブカード等のツール類も、DUT 入出力のシグナル・インテグリティを確保する為に重要となる。
3. 位相ノイズや信号感度測定の為の信号源及び測定器精度は現時点では十分といえるが、近い将来には更に高精度が求められる。100KHz での位相ノイズ測定では、現状の測定器スペック -120dBc/Hz に対し、ここ 1、2 年のうちに少なくとも-130dBc/Hz への改善が要求される。
4. 6GHz 以上の高周波数帯域のアプリに関しては、様々な提案が行われ続けており、現状でクリアな将来像を固定できない。
5. 6GHz を越える帯域での前工程テストは依然として大きなチャレンジであり、実変調波による 6GHz 超での前工程テストの可能性は、まだクリアとなっていない。
6. 前工程 RF テスト時のインピーダンス規格及びキャリブレーション手法の確立は急務である。
7. テスト開発環境と実際の量産現場では EMI 環境が大幅に異なっており、これが歩留りや相関取りに対し大きな影響を与えるであろう。

Table TST8a RF Test Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Carrier Frequency (GHz) Leading Edge	18	18	22	22	60	77	77	95	95
Carrier Frequency (GHz) High Volume	6	8	12	12	22	22	36	36	36
Modulation RF BW (MHz) Leading Edge	80	528	528	528	528	528	528	528	528
Modulation RF BW (MHz) High Volume	20	40	80	528	528	528	528	528	528
Amplitude Accuracy (dB)	<0.8	<0.6	<0.5	<0.5	<0.5	<0.25	<0.25	<0.25	<0.25
ACLR (dB)	65	65	70	72	72	72	75	75	80
Number of RF Ports per Device	<9	<12	<16	<20	<24	<20	<18	<16	<16
Phase Noise (dBc/Hz at 100K offset)	-125	-130	-135	-140	-142	-145	-148	-150	-150
Error Vector Magnitude 3G/4G	1-2%	1-2%	0.5%	0.5%	0.5%	0.5%	0.5%	0.5%	0.5%
OIP3 (dBm)	30	30	30	30	30	30	30	30	30
IIP3 (dBm)	40	50	60	60	60	60	60	60	60

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Table TST8b RF Test Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
Carrier Frequency (GHz) Leading Edge	95	95	95	95	95	95	95
Carrier Frequency (GHz) High Volume	36	36	36	36	36	36	36
Modulation RF BW (MHz) Leading Edge	528	528	528	1000	1000	1000	1000
Modulation RF BW (MHz) High Volume	528	528	528	528	528	1000	1000
Amplitude Accuracy (dB)	<0.25	<0.25	<0.25	<0.125	<0.125	<0.125	<0.125
ACLR (dB)	80	80	85	85	85	85	85
Number of RF Ports per Device	<16	<16	<16	<16	<16	<16	<16
Phase Noise (dBc/Hz at 100K offset)	-150	-152	-152	-152	-152	-152	-152
Error Vector Magnitude 3G/4G	0.5%	0.5%	0.5%	0.5%	0.5%	0.5%	0.5%
OIP3 (dBm)	30	30	30	30	30	30	30
IIP3 (dBm)	60	60	60	60	60	60	60

Table TST8a 及び TST8b に関して:

1. 先端技術 vs. 量産: 項目により数値を先端技術と量産で分けて記載している理由は以下の二つとなる。まず、先端技術と量産では新規技術の導入や要求に対する導入までのサイクルが異なるため、これを現実に近い値にするため。また、第2の理由は、現在確立されているテスト技術に関し、先端技術及び量産における違いをクリアにするためである。一般的に、評価時には全ての項目テストが要求されるが、量産ではより簡略化されたテストが実施されている。
2. 変調帯域幅: 本表のRF テスト要求仕様は、ベースバンド(I/Q)帯域に対応する複素変調帯域で示される。ただし、ベースバンド信号域を代用するデジタルインタフェースの出現で、アナログ的なベースバンド帯域幅条件表示は、将来に渡って有効な測定基準であるとは言えなくなっている。
3. EVM(Error Vector Magnitude)テストは量産に於いて非常に一般的なテストである。なお、今回の様な表の作成における問題点として、それぞれの通信規格(WLAN、WiMAX、W-CDMA、その他)が異なった要求を持つ事があげられる。今回の表中の数値は、EDGE 及び W-CDMA の派生系規格 (HSDPA、HSUPA、その他)からの平均的な値を採用している。
4. OIP3/IIP3: OIP3/IIP3 は歪み特性(O = 出力, I = 入力)の数値を示す。一般的に言って、平均電力偏位に対しより大きなピークを持つシステムには、非常に高い直線性が求められる。例えば、CDMA(Code Division Multiple Access: 符号分割多重接続)技術や OFDM(Orthogonal Frequency Division Multiplexing: 直交周波数分割多重)技術を使用しているシステム等が例として挙げられる。

信頼性に対する要求

信頼性の向上とは、以下の3事項に対する最適化と言える。

- 1) 信頼性欠陥密度(RDD: Reliability Defect Density)
- 2) 信頼性スクリーニング及びテスト手法(RS&TM: Reliability Screens and Test Methods)の学習
- 3) 信頼性向上設計(DFR: Design For Reliability)

信頼性向上に対する最適化作業のゴールは、投じた費用に対して最高の対価をめざすことにある。ここでの対価とは、顧客が支払うコストに対して得られる顧客の満足度の比率である。信頼性が課題となる業界において、顧客の満足度は、フィールドでの故障率、もしくは単位時間当たりの故障率(FITs: Failures In Time)に依存する。信頼性に対するコストには、2つの要素がある。製造オペレーションコスト及び歩留りである。従って、全ての信頼性向上に対する取り組みは、まずこれらの2つの要素に対し改善を試みる事となる。次に、製造オペレーションコスト中にも同様に2つの大きな支配項が存在する。バーンイン時間と装置の高度化である。従来の電圧ストレスと温度ストレスに変わって潜在的な欠陥を引き出す手法に対する検討が、業界内で延々と続けられている。それはすなわち、検出技術には多くの進歩がみられるが、欠陥加速に関しては電圧と温度を印加する従来の手法から大きな進歩が見られないと云う事である。

実使用時の仕様を超える電圧と温度を加える場合、受容量を超えた物理的パワー(電源供給、及び温度/熱拡散)の超過分に対する対応が必要となる。歩留りに関連する信頼性のコスト削減を検討する場合、“オーバキル”や“良品リジェクト”の排除が重視されるが、これらは上記の超過物理的パワーに対する解決策と多くの点で結びついている。しかし、“良品リジェクト”に関する発想は、ある仮定でのモデリングを基本にしたストレスに関する方法論に基づいており、その根幹は、如何に製造におけるストレス工程から“逃れる”ものがあるかに対する、皆の結論である。議論の進み方は以下のようなものとなる:

市場のほとんどの製品で問題となるのは、初期の故障率である。

欠陥加速を逃れた多くの潜在的な欠陥は、初期にその製品を故障させる。

では、デバイスが欠陥加速を受けた事を(よって、ストレスから逃れていない事を)、確実に保証する為の手段は？ 単純に、ストレスをかけながら出力を測定すればよいと考えられる。用語の定義として、上記のように、ストレスをかけながらの出力測定を行う事を *in situ stress* と呼ぶ。一方、出力を測定せず単純にストレスを加える事を *dynamic stress* と呼ぶ。*in situ* を用いる事により、欠陥加速から逃れられた個体は明らかに減少し、初期故障率も減少する。勿論、この低い故障率はコストを掛けなければ得る事ができない。*in situ* ストレスでは、ストレスが加わり性能裕度が減少した条件下でのファンクションテストが求められる。本段落の流れに従って言えば、ストレス印加中に出力を測定することは歩留低下をもたらすことも付け加えなければならない。製造プロセスの変動のため、電圧ストレスや温度ストレスの条件下で機能するのに十分な裕度が無いような分布が作り込まれる。しかし、これらの中の幾つかのデバイスは通常動作条件では正常に動作する。これらのデバイスには信頼性上の欠陥は無いけれども、*in situ* ストレスはこれらの正常に機能するデバイスも故障と判断してしまう。すなわち、“オーバキル”である。“過剰な余裕”を持つデバイスも同様に、先に述べた検出技術における今後の対象である。信頼性を満たす為にはトレードオフが必要である。多くの場合、性能と歩留りは量りに掛けられた状態にある。

信頼性欠陥密度(RDD)の学習度合いは、市場の信頼性要求を満たすための、最もコスト効果の高い手段である。それ自身は、マイクロエレクトロニクスにおける収益性を達成するための基本的な行動である「歩留習熟の度合い」の副産物である。欠陥学習は、欠陥モデルと物理的欠陥の節で扱われる。そして、“信頼性固有の”欠陥の要素は少ないとの前提を、過去のデータは圧倒的に裏付けているが、最近の技術進歩は、その状況を変化させているかも知れない。欠陥学習の節は、信頼性欠陥密度(RDD)学習に常に直接的に適用できるだろうが、欠陥を加速させる高電圧と高温によって、我々はデバイス物理学と物性科学の領域に踏み込まざるを得なくなっている。ストレス条件は、もはや「ありき技術」の仕様で決定されるのではなく、システムの実使用条件で決定される。ほとんどの消費電力で市場要求性能を満たすことが出来なくなっているため、その埋め合わせでシステム使用条件(電圧や温度)を増やすことをシステム設計者に強いている。ストレス条件の応用の結果として、*V_{min}* 動作レンジのシフトや、性能余裕度に影響するNBTIや、ゲート酸化膜の完全性(時間依存の絶縁破壊(TDD))について、未だ大部分の説明がつかないままである。【訳者注:NBTI=Negative Bias Temperature Instability; PMOS のゲート端子に負(Negative)のバイアスを印加することで発生する劣化】したがって、それらは補完的な挙動や信頼性故障率の変調を起こす。C4 工法 や BEOL 配線工程のワイヤリングにおける金属のエレクトロマイグレーションについての一般的な考え方でさえ、ストレス条件によって引き起こされる過度な電流や電力が原因とされる場合には、慎重で精密な調査が必要になる。【訳者注:C4=Controlled Collapse Chip Connection; リップチップのボンディング工法、パッドにつけたバンプを押しつぶすようにして基板に接続させるワイヤレス・ボンディングの一種】、【訳者注:BEOL=Back-End-of-Line; 半導体製造ラインの後半工程、集積回路の上部領域、配線工程を指す】 業界が“性能絶対化”を重視する状態はまだまだ終わらない。

DFR にもまた 3 つの重要な要素がある。すなわち、1)技術設計、2)チップ設計(論理的と物理的)、3)システム設計、である。この 3 つの各々において、DFR 機能は欠陥許容性を追求しなければならない。テクノロジー設計の場合、電源低下を引き起こすリークは、欠陥許容性を超える重大事へ追い込んでいく。チップ設計と DFR に関しては、電源低下と故障許容力は、設計の優先順位で同等である。冗長要素解析と電力消費の解析には、相当な設計技術力を費やすことになる。システムレベルでは、欠陥許容性は、誤り検出や修正、および冗長要素という形をとっている。

信頼性スクリーニングとテスト手法【訳者注:RS&TM】に関しては、チャンピオンデータや支援的データ、賞賛すべきデータ、偏ったデータに基づいている、技法や方法論の文献は豊富にある。テクノロジーの世代によるが、チップや回路のタイプ、設計スタイル、性能目標、信頼性要求、故障タイプ、などによって多様に議論すべきである。超過電圧や超過温度の印加が欠陥加速方法の主流として続くかぎり、電力供給や熱的な解決策において、RS&TM 最良で聡明な考えが課題になるだろう。それは欠陥を加速させる一方で、デバイスの破壊は回避できるものでなければならない — つまり、優先順位の変更である。摩滅によりもたらされる、もしくは兆候となる、ストレス条件やストレス動作は、避けるべきものとの認識が何年か前にはあった。過去の格言は“欠陥を加速させる一方で、自らの摩滅は回避できるものでなければならない”だった。しかしながら、10nm 以下の酸化膜、NBTI、過剰な余裕度(それは *V_{min}* のような)、数 100A や数

100W の電力、何マイルもの銅配線、膨大な内部配線、などのシステムの多様な実使用条件に直面している中で、これは益々難しいものになりつつある。

RS&TM は、それらをウェーハ用途とパッケージ(またはモジュール)用途に分けることで、そして更には【訳者注:欠陥の】”検出”と”加速”の技法に分離することで、最も類別し易くなる。この 2 段階の層構造は、市場からの返品の原因がテスト見逃しか信頼性欠陥による初期寿命か、と云うテストと信頼性の間の絶え間なく続く議論を和らげる手助けとなるだろう。

工程上のステップ(ウェーハまたはパッケージ)にかかわらず、欠陥加速の技法は常にその裏の効力を考えなくてはならない。何故なら、欠陥加速は実使用条件を遥かに超える温度や電圧を必要とするからである — そしてリークはそれら両者に対して指数的に変化するためである。同様なことは検出技法には当てはまらない。多くの場合、検出技法はリークを減らす条件(それは、VLV(超低電圧)や VLT(超低温))を使う。また、リークを悪化させる実使用条件が必要な検出技法の場合でも、それらの条件は欠陥を加速させる条件までには一般的に達しない。

バーンインの要求

バーンイン・プロセスのための技術的な課題は、デバイスピン数の増大、パッケージピッチの減少、デバイス動作周波数の高速化、劇的なリーク電流の増大、及び電圧/熱加速の増大によって方向付けられる。多くの信頼性故障モードがバーンインだけではスクリーニングできないので、信頼性を高めるために、IDDQ、HVST、ウェーハマッピングなどのいくつかの手法が併せて用いられている。

バーンイン・システム技術は、特に大電力デバイスにおいてコストダウンを継続する必要がある。デバイスコア電圧の最小値は下がり続ける。スキャンテスト手法が非常に深いベクターを実行するための大容量メモリを必要とする一方、大電力テスト手法は個々のデバイスの熱と電力の制御を必要とする。バーンイン工程(システム/ドライバ/バーンイン・ボード/ソケット)では、内部生成クロック方式を持たない先端技術デバイスの速度に対応することが課題になる。DFT 無しのデバイスは、I/O 数の増大を必要とする。KGD ニーズの増加は、ウェーハレベル・バーンインや、KGD キャリアや、プローブ段階でのストレス印加に対する努力を求め続ける。

デバイス電源や信号の要求はバーンイン・ボードにおける、多層化、短配線、省スペース、複雑な手順や部材、テストコストの増大、ボード信頼性などの問題を大きくする。今後のデバイスの狭ピッチ化は新しいコスト課題であり、バーンイン・ソケットとバーンイン・ボードを繋ぐ革新的なインタフェースが必要になるだろう。

バーンイン・ソケットは、コンタクト数の増大、狭ピッチ化、大電流化、高周波数化への対応と云う大きな設計課題を要求されている。同時に、ソケットは、大電力デバイスが自己発熱で破壊するのを防止すると云う熱対策解決策の重要な構成要素である。ソケットメーカの主要な課題は、これらの新しい要求に対応する技術を提供しながら、低価格および短いリードタイムを維持することである。0.5mm ピッチ未満のボールグリッド・アレイ(BGA)に適用されている水平動作のコンタクト設計は、増大する機械的ストレス要求に対する既存ソケット素材の性能不足やピン数の増加によって、垂直動作のコンタクトに置き換わるだろう。電流供給性能の向上にむけて、新しい設計と新しい素材が必要とされている。ソケットの設計は、パッケージ寸法や反りに関してパッケージのルーズスペックに対応する必要がある。一方、パッケージの大型化や、パッケージの薄片化や、狭ピッチ/非標準ピッチ/混在ピッチに対応する必要がある。コンタクト設計には、電気的/機械的性能を損なうことなくより大きな強度が求められている。

バーンインは、伝統的なユニット単位のバーンインを含み、システムでのバーンイン、ウェーハでのバーンイン、そして strip/array でのバーンイン で取り組まれている。(図 TST8) 高信頼性の用途において、システムレベルでのバーンインは伝統的なデバイスでのバーンインを補うかまたは、置き換わる。ウェーハレベル・バーンイン技術は引き続き開発されているが、未だ従来方式のパッケージ・バーンインに対して置き換わる事が出来ていない。ここでは、ソケットを用いたバーンインを省くことにチャレンジし、スキャンやロジック BIST、メモリ BIST(MBIST)を用いた、同時多数個取りのウェーハレベル・バーンインを行う方法を調べる。Strip/array バーンインは、パッケージ・バーンインにおいて strip や array 方式のどちらにおいても同測量産を行う上で、もっと重要になってくる。

ウェーハレベル・バーンイン

ウェーハレベル・バーンイン(WLBI)は、何が構成要素であるか、明確な基準はない。あるベンダは、DRAM の内部ノードに単純な DC ストレスの逆電圧を与えることで「バーンイン」と称している。あるいは、WLBI は、デバイスの定常動作状態において、デバイスに電圧ストレスをかけると共に、ウェーハ全面のコンタクトと温度による欠陥の促進をさせるに十分な高温と時間を与えることとも言われている。あるベンダは、スキャンや BIST などの DFT 機能を用いてローエンドのマイク・ロコントローラや SoC に WLBI を使用することを可能としている。

重要な取組として、選択肢の有効的な定量化、WLBI の定義の標準化、ウェーハレベルでの取扱による有効性の確認をするために使用する方法を示すことだ。特に、WLBI に適したデバイスである DRAM に対する取組は、ウェーハに対するバーンイン環境を、パッケージ・バーンインと同等で効果的な機能をパッケージ・バーンインのコストより安く供給できる。このコンセプトは量産におけるバーンイン環境に用いることで、バーンイン時間に有効的に利用することである。

WLBIに対する必要性は拡大しつつある。初期故障率はトランジスタのスケーリング効果と新しいプロセス技術・デバイスの材料によりますます悪くなっている。デバイスの動作電圧とマージンの減少は電圧加速、電圧ストレステストを用いた有効性の信頼性保証を低下させている。顧客の CSP(Chip Scale Packaging)と MCP(Multi Chip Module)の要求のために、KGD の必要性が増大する。半導体製造工程の早い時期にバーンインを行うことにより、サイクルタイムの短縮やウェーハ工程への歩留り、欠陥情報の迅速なウェーハ工程へのフィードバックに役に立つ。最終的に、パッケージング前のプロセスで、不良デバイスの検出と除去を行うことで、不良デバイスのパッケージを行った場合のスクラップコストを低減できる。

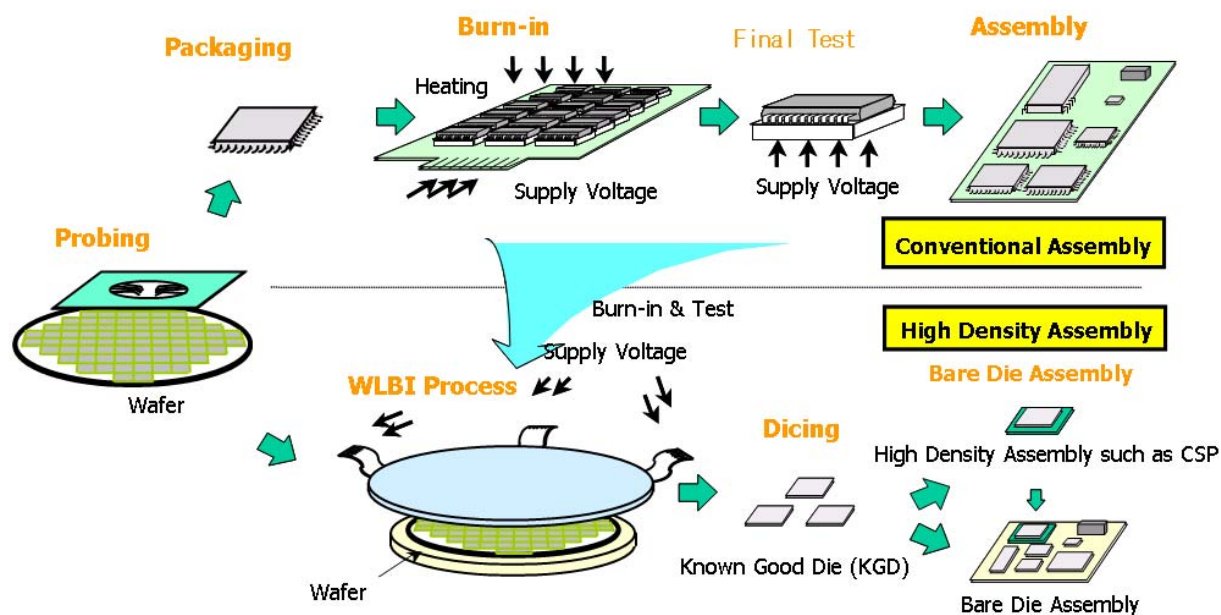


Figure TST8 The Production Process with WLBI Compared with Package Burn-in

ウェーハレベル・バーンインのためのプロービング技術

TPS プローブやマイクロ・ポゴピンコンタクトは、ウェーハ全面コンタクトのためのコンタクトに含まれる。TPS プローブは、多層配線基板、バンプ付き薄膜と PCR(異方性導電ゴム)シートの構成で出来ており、PCR シートは多層配線基板とバンプ付き薄膜の間にあり、バンプの不均一高さを吸収し、均一性と安定したコンタクトを行うことが出来る。このシステムの重要な特徴は、各バンプの先端に効率よく圧力をかけることが出来、バンプの材質や表面状態管理により、アルミニウムパッドで2万ピン以上をコンタクトする能力がある。多層配線基板は、温度膨張係数(CTE)の不整合が起こらないように、シリコン(例えばガラスやセラミックス)と類似した温度膨張係数の部材が使用されている。

マイクロ・ポゴピンのコンタクトは、同等の CTE を持ったプローブハウジングと両端稼動のポゴピンで構成されている。ポゴピンは垂直に立ち、十分な追従性を持ち、隣接したコンタクト間での高さの変化に独立して動いて調整する。プローブピッチは技術に依存する。

ウェーハレベルパッケージ技術のようなウェア上の全パッドのコンタクトには、スプリング形状のコンタクトの適用が予想される。コンタクトロードマップに於いて、DRAM は 汎用メモリ・バーンインの多くを占めているため、目標として選ばれている。DFT ではシステム LSI が検討されている。

その他のウェーハレベル・バーンイン技術の考察

ウェーハの消費電流は、トランジスタのチャネル長の短縮化による sub-threshold リークと、単位面積当たりのトランジスタ数の増加により増大する。高温のバーンイン時にもまた sub-threshold リークは増大する。従って、バーンイン装置は1ウェーハ当たり 1000A 以上の電流を供給できる能力がなければならない。また、適切な電流制限を行うために、ウェーハの温度の調節と温度均一性が必要になる。結果的に、バーンイン装置は異なる特性の各ウェーハに対して適応できなければならない。

BIST はデバイス当たりの被テストピンの数を減らすことが可能であるが、しかしダイの縮小とパッドの狭ピッチ化により、ウェーハの総ダイ数とパッド数を増加させるためこの利点を相殺してしまう。スキャン、BIST や JTAG³ のような DFT 機能を用いて WLBI の利用を可能にするために、デバイス当たりの被テストピンとトータルコストの削減をしなければならない。そして、WLBI 技術の性能を改善しなければならない。

WLBI を可能とするプロービング技術について上述した。しかし、プロービング技術は、将来の技術トレンドを満足させるため、いくつかの問題に直面している。LOC とペリフェラルデバイスに対する TPS プローブ技術の検討ではパッドピッチを 70 μm まで適用できると思われる。70 μm 以下のピッチに対して、フォトリソグラフィを用いた MEMS 技術が選択できる。この技術は、しかし、300mm ウェーハに適用できる解決策を持っていない。狭ピッチ化に対するプロービング技術が求められているとしても、パッドのレイアウトを行う時に DFT をうまく使い、一つおきにパッドを飛ばせば、通常ピッチに比較して実効的に2倍のパッドピッチにすることが出来る。Low-k 材のために、多ピン低プローブ圧の適用も求められるであろう。これは新しいプロービング技術の促進に役立つであろう。

Table TST9a Burn-in Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Clock input frequency (MHz)	400	400	400	400	400	400	400	400	400
Off-chip data frequency (MHz)	75	75	75	75	75	75	75	75	75
Power dissipation (W per DUT)	600	600	600	600	600	600	600	600	600
Power Supply Voltage Range (V)									
High-performance ASIC / microprocessor / graphics processor	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5
Low-end microcontroller	0.7–10.0	0.7–10.0	0.7–10.0	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10
Mixed-signal	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500	0.5–1000
Maximum Number of Signal I/O									
High-performance ASIC	384	384	384	384	384	384	384	384	384
High-performance microprocessor / graphics processor / mixed-signal	128	128	128	128	128	128	128	128	128
Commodity memory	72	72	72	72	72	72	72	72	72
Maximum Current (A)									
High-performance microprocessor	450	450	450	450	450	450	450	450	450
High-performance graphics processor	100	150	200	200	200	200	200	200	200
Mixed-signal	20	20	20	30	30	30	30	30	30
Burn-in Socket									
Pin count	3000	3000	3000	3000	3000	3000	3000	3000	3000
Pitch (mm)	0.3	0.3	0.3	0.2	0.2	0.2	0.2	0.2	0.1
Power consumption (A/Pin)	3	4	4	5	5	5	5	5	5
Wafer Level Burn-In									

³ an IEEE standard 1149 boundary scan

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Maximum burn-in temperature (°C)	175±3	175±3	175±3	175±3	175±3	175±3	175±3	175±3	175±3
Pad Layout — Linear									
Minimum pad pitch (μm)	65	65	65	65	65	65	65	65	50
Minimum pad size (μm)	50	50	50	50	50	50	50	50	40
Maximum number of probes	70K	70K	70K	70K	70K	70K	70K	70K	140K
Pad Layout — Periphery, Area Array									
Minimum pad pitch (μm) *1	100	80	80	80	80	80	80	80	60
Minimum pad size (μm)	40	35	35	35	35	30	30	30	25
Maximum number of probes	150K	150K	150K	150K	150K	150K	150K	150K	300K
Power consumption (W/DUT — Low-end microcontroller, DFT/BIST)	10	10	10	20	20	20	20	20	20
Vector memory depth (M vectors — DFT/BIST)	32	64	64	64	64	64	64	64	128

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

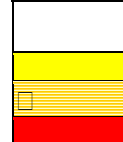


Table TST9b Burn-in Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
Clock input frequency (MHz)	400	400	400	400	400	400	400
Off-chip data frequency (MHz)	75	75	75	75	75	75	75
Power dissipation (W per DUT)	600	600	600	600	600	600	600
Power Supply Voltage Range (V)							
High-performance ASIC / microprocessor / graphics processor	0.5–2.5	0.5–2.5	0.4–2.5	0.4–2.5	0.4–2.5	0.4–2.5	0.4–2.5
Low-end microcontroller	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10
Mixed-signal	0.5–1000	0.5–1000	0.5–1000	0.5–1000	0.5–1000	0.5–1000	0.5–1000
Maximum Number of Signal I/O							
High-performance ASIC	384	384	384	384	384	384	384
High-performance microprocessor / graphics processor / mixed-signal	128	128	128	128	128	128	128
Commodity memory	72	72	72	72	72	72	72
Maximum Current (A)							
High-performance microprocessor	450	450	450	450	450	450	450
High-performance graphics processor	200	200	200	200	200	200	200
Mixed-signal	30	30	30	30	30	30	30
Burn-in Socket							
Pin count	3000	3000	3000	3000	3000	3000	3000
Pitch (mm)	0.1	0.1	0.08	0.08	0.08	0.08	0.08
Power consumption (A/Pin)	6	6	6	6	6	6	6
Wafer Level Burn-In							
Maximum burn-in temperature (°C)	175±3	175±3	175±3	175±3	175±3	175±3	175±3
Pad Layout — Linear							
Minimum pad pitch (μm)	50	50	50	50	50	50	50
Minimum pad size (μm)	40	40	40	40	40	40	40
Maximum number of probes	140K	140K	140K	140K	140K	140K	140K
Pad Layout — Periphery, Area Array							
Minimum pad pitch (μm) *1	60	60	60	60	60	60	60
Minimum pad size (μm)	25	25	25	25	25	25	25
Maximum number of probes	300K	300K	300K	300K	300K	300K	300K
Power consumption (W/DUT — Low-end microcontroller, DFT/BIST)	20	20	20	20	20	20	20
Vector memory depth (M vectors — DFT/BIST)	128	128	256	256	256	256	256

テストハンドラとウェーハプローバの技術要求

ウェーハプローバとテストハンドラは各々の市場において、重大な技術課題に直面している。双方のプラットフォームに共通する問題は、多数個並列測定と増大する設備投資コストである。

ウェーハプローバに於ける、並列測定数の増加は、300mm ウェーハの全域テストという最終目標に向かって、ウェーハ一括コンタクト化を促進する。プローブ数が増加すると、信号は複雑な経路を辿っていくことになる。プローバとプローブカードの構成は、信号経路の単純化に向かって進歩していく必要があるだろう。

選別とテストのコスト削減は、より困難な技術と性能の要求に直面しており、変わることの無い達成目標である。何れにしてもスループット向上の要求は、並列測定数の増加(例えばテストタイムが短くても)、ハンドラの速度向上、非同期テスト工程や連続ロット製造のような工程改善で達成されねばならない。

パッケージは小型化し続け、基板は薄くなり、ハンドリング可能なパッケージのエリアはリード/ボール/パッドが増えるのと同時に小さくなっていく。将来的にハンドラにおいて、小さくて壊れやすい部品を供給する高精度のピック&プレース、更にはダメージを発生させない状態でのコンタクト推力の増加などの能力が必要とされるだろう。

温度範囲は厳しい最終使用条件に合うように拡大しており、テスト開始時のジャンクション温度は正確に制御される必要がある。消費電力は全体的に増加傾向にあるが、様々なコア技術がわずかながら軽減に役立っている。

全てのユーザが全てに満足するようなハンドラは見当たらない。つまり、相反する条件の中でコスト効果を成り立たせながら、温度やスループットや位置決め精度や特別なハンドリングの要求に対応する全ての技術の統合は重要な課題である。2007年のロードマップではDUTの要求電力により3つのグループに定義した。10W以上を高電力DUT、0.5Wから10W以下を中電力DUT、0.5W以下を低電力DUTとした。

Table TST10 Test Handler and Prober Difficult Challenges

High Power Handler	Temperature control and temperature rise control due to high power densities during test Continuous lot processing (lot cascading), auto-retest, asynchronous device socketing with low-conversion times Better ESD control as products are more sensitive to ESD and on-die protection circuitry increases cost. Lower stress socketing, low-cost change kits, higher I/O count for new package technologies Package heat lids change thermal characteristics of device and handler Multi-site handling capability for short test time devices (1–7 seconds)
Medium Power Handler	Support for stacked die packaging and thin die packaging Wide range tri-temperature soak requirements (–45°C to 150°C) increases system complexity Continuous lot processing (lot cascading), auto-retest, low conversion times, asynchronous operation Shielding issues associated with high frequency testing (>10 GHz)
Low Power Handler	A wide variety of package sizes, thicknesses, and ball pitches requires kitless handlers with thin-die handling capability Package ball-to-package edge gap decreases from 0.6 mm to 0 mm require new handling and socketing methods Parallelism at greater than x128 drives thermal control and alignment challenges
Prober	Consistent and low thermal resistance across chuck is required to improve temperature control of device under test Heat dissipation of >100 Watts at > 85°C is a configuration gap in the prober industry Advances in probe card technology require a new optical alignment methodology

Table TST11a Prober Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Wafer diameter (mm)	300	300	300	300	300	300	300	450	450
Wafer thickness (μm)	80–775	80–775	80–775	80–775	80–775	80–775	80–775	50–1000	50–1000
Maximum I/O pads	3000	4000	4000	5300	5300	5300	5300	5300	5300
Chuck X and Y positioning accuracy (μm)	2	2	1	1	1	1	1	1	1
Chuck Z positioning accuracy (μm)	1	1	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Probe-to-pad alignment (μm)	4.5	4.5	4.5	3.5	3.5	3.5	3.5	3.5	3.5
Maximum chuck force (kg)	100	100	100	100	100	100	100	100	100
Set point range (°C)	-30 to +85	-30 to +85	-30 to +85	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125
Total power (Watts)	130	130	250	250	250	250	250	250	250
Power density (Watt/cm ²)	60	60	120	120	120	120	120	120	120

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

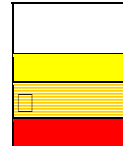


Table TST11b Prober Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
Wafer diameter (mm)	450	450	450	450	450	450	450
Wafer thickness (μm)	50–1000	50–1000	50–1000	50–1000	50–1000	50–1000	50–1000
Maximum I/O pads	5300	5300	5300	5300	5300	5300	5300
Chuck X and Y positioning accuracy (μm)	1	1	1	1	1	1	1
Chuck Z positioning accuracy (μm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Probe-to-pad alignment (μm)	3.5	3.5	3.5	3.5	3.5	3.5	3.5
Maximum chuck force (kg)	100	100	100	100	100	100	100
Set point range (°C)	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125
Total power (Watts)	250	250	250	250	250	250	250
Power density (Watt/cm ²)	120	120	120	120	120	120	120

Table TST12a Handler Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
High, Medium and Low Power									
Temperature set point range (°C)	-55 to 175	-55 to 175	-55 to 175	-55 to 175	-55 to 175	-55 to 175	-55 to 175	-55 to 175	-55 to 175
High Power — >10W per DUT									
Temperature accuracy at DUT (°C)	± 2	± 2	± 2	± 2	± 2	± 2	± 2	± 2	± 2
Number of pins/device	750	750	800	800	850	850	850	850	850
Parallel testing:	1-2	1-2	1-2	1-2	1-2	1-2	1-2	1-2	1-2
Throughput (devices per hour)	1.5–2K	1.5–2K	1.5–2K	2–3.5K	2–3.5K	2–3.5K	2–3.5K	2–3.5K	2–3.5K
Index time (S)	0.3	0.3	0.25	0.25	0.25	0.25	0.25	0.25	0.25
Sorting Categories	3–6	3–6	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Allowable device temperature rise (°C)	20	20	20	20	20	20	20	20	20
Maximum socket load per unit (kg)	24	27	30	30	35	35	35	35	35
Asynchronous capability	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Pin/land pitch (mm)	1.1	1.1	1	1	0.8	0.6	0.6	0.6	0.6
Medium Power — 0.5 to 10W per DUT									
Temperature accuracy at DUT (°C)	± 2	± 2	± 2	± 2	± 2	± 2	± 2	± 2	± 2
Number of pins/device	800	800	850	850	850	850	850	850	900
Parallel testing:	8–16	8–16	8–16	8–16	8–16	8–16	8–16	8–16	8–16
Throughput (devices per hour)	4–6K	4–6K	4–6K	6–10K	6–10K	6–10K	6–10K	6–10K	6–10K
Index time (S)	0.3	0.3	0.3	0.3	0.25	0.25	0.25	0.25	0.25
Sorting Categories	3–6	3–6	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Allowable device temperature rise (°C)	5	5	5	5	5	5	5	5	5

Maximum socket load per unit (kg)	50	50	35	60	35	60	60	60	65
Asynchronous capability	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Pin/land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.2	0.2	0.2
Low Power — < 0.5W per DUT									
Temperature accuracy at DUT (°C)	±2	±2	±1.5	±1.5	±1.5	±1.5	±1.5	±1.5	±1.5
Number of pins/device	6–250	6–250	6–250	6–250	6–250	6–250	6–250	6–250	6–250
Parallel testing:	128-512	128-1024	128-1024	128-1024	128-1024	128-1024	128-1024	128-1024	128-2048
Throughput (devices per hour)	8–10K	12–20K	12–20K	12–20K	12–20K	12–20K	12–20K	12–20K	12–20K
Index time (S)	2–5	2–5	2–4	2–4	2–4	2–4	2–4	2–4	2–4
Sorting Categories	5–9	5–9	5–9	5–9	5–9	5–9	5–9	5–9	5–9
Min. Pkg. Size(mm ²)	4×6	3×5	3×5	3×5	3×5	3×5	3×5	2×3	2×3
Pin pitch (mm)	0.4–1.0	0.25–1.0	0.2–1.0	0.2–1.0	0.2–1.0	0.2–1.0	0.2–1.0	0.2–1.0	0.2–1.0
Ball edge to package edge clearance (mm)	0.25	0.25	0.25	0.25	0.25	0	0	0	0
Minimum package thickness (mm)	0.4–1.8	0.3–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

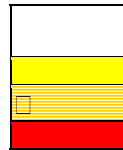


Table TST12b Handler Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
High, Medium and Low Power							
Temperature set point range (°C)	-55 to 175	-55 to 175	-55 to 175	-55 to 175	-55 to 175	-55 to 175	-55 to 175
High Power — >10W per DUT							
Temperature accuracy at DUT (°C)	± 2	± 2	± 2	± 2	± 2	± 2	± 2
Number of pins/device	850	900	900	900	1000	1000	1000
Parallel testing:	1-2	1-2	1-2	1-2	1-2	1-2	1-2
Throughput (devices per hour)	2–3.5K	2–3.5K	2–3.5K	2–3.5K	2–3.5K	2–3.5K	2–3.5K
Index time (S)	0.25	0.25	0.25	0.25	0.25	0.25	0.25
Sorting Categories	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Allowable device temperature rise (°C)	20	20	20	20	20	20	20
Maximum socket load per unit (kg)	35	35	35	35	35	35	35
Asynchronous capability	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Pin/land pitch (mm)	0.6	0.4	0.4	0.4	0.4	0.4	0.4
Medium Power — 0.5 to 10W per DUT							
Temperature accuracy at DUT (°C)	± 2	± 2	± 2	± 2	± 2	± 2	± 2
Number of pins/device	900	900	1000	1000	1000	1000	1000
Parallel testing:	8-16	8-16	8-16	8-16	8-16	8-16	8-16
Throughput (devices per hour)	6–10K	6–10K	6–10K	6–10K	6–10K	6–10K	6–10K
Index time (S)	0.25	0.25	0.25	0.25	0.25	0.25	0.25
Sorting Categories	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Allowable device temperature rise (°C)	5	5	5	5	5	5	5
Maximum socket load per unit (kg)	65	65	75	75	75	75	75
Asynchronous capability	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Pin/land pitch (mm)	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Low Power — < 0.5W per DUT							
Temperature accuracy at DUT (°C)	±1.5	±1.5	±1.5	±1.5	±1.5	±1.5	±1.5
Number of pins/device	6–250	6–250	6–250	6–250	6–250	6–250	6–250
Parallel testing:	128-2048	128-2048	128-2048	128-2048	128-2048	128-2048	128-2048
Throughput (devices per hour)	12–20K	12–20K	12–20K	12–20K	12–20K	12–20K	12–20K
Index time (S)	2–4	2–4	2–4	2–4	2–4	2–4	2–4
Sorting Categories	5–9	5–9	5–9	5–9	5–9	5–9	5–9
Min. Pkg. Size(mm ²)	2×3	2×3	2×3	2×3	2×3	2×3	2×3
Pin pitch (mm)	0.2–1.0	0.2–1.0	0.2–1.0	0.2–1.0	0.2–1.0	0.2–1.0	0.2–1.0
Ball edge to package edge clearance (mm)	0	0	0	0	0	0	0
Minimum package thickness (mm)	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8

デバイスインタフェースの技術要求

デバイスの入出力のバンド幅と電源に対する更なる要求として、電氣的なテスト中に高品質な電源と信号を供給すると云う要求がある。これらの要求は、テスト装置と被測定デバイスを繋ぐインタフェースの実装上の課題を推し進める。高性能なインタフェースは測定源からチップまでの電源経路と信号経路の完全なモデリングを必要とする。即ち、テスト装置～配線～プローブカードやソケット～被測定デバイスまでの精密なシミュレーションモデルを必要とする。何故なら、チップやパッケージの小型化はその組立て生産性はもとより、狭ピッチ化や多ピン化や多数個測定の要求によりインタフェースをより複雑にしている。

プローブカード

ウェーハプローブ技術は、製品仕様やテストの実行条件や生産性目標やコスト削減の要求などに左右される複雑な電氣的、機械的な課題に直面している。どの様なデバイスに対しても、これらの課題には電力の増大、周波数応答(バンド幅)、狭ピッチ化や小パッドまたは小バンプパッド化に伴う多ピン化、スイッチング電流(di/dt)の増大、パッド/バンプの代替材料、同時測定数の増加などへの対応が含まれている。プロービング技術の研究や開発は新規技術・改良技術を問わず、基本的なプロービングの条件、即ち確実な信頼性、堅実で経済的な DUT との電氣的接続などの課題を満たしている必要がある。

この節に含まれる図表はテスト技術要求の節の構成に準拠し、デバイス製品種別に基づいた動向が導き出されている。

プローブカード技術のトレンド

重要な課題の表に記載したように、市場から緊急に要求されている研究開発課題は製品信頼性や機能テストの環境における経済的なプローブ技術である。

バンプ付きデバイスの生産は増え続け、しばしばエリアアレイの I/O を伴うので、垂直型プローブ技術へのピン数増加要求が有り、また同時測定数の増加も必要になる。さらに多重列ワイヤボンンドで垂直型が必要となり、狭ピッチ化が重要課題となっている。幾つかのマイクロプロセッサとハイエンド ASIC は動作電力が 500W から 1000W であり、プローブ当りの電流量と温度の問題が起きる。またプローブ当りの電流は、ワイヤボンンドのデバイスがより高度な半導体技術に移行すると、カンチレバ技術や MEMS 技術のプローブに対し問題となる。

デバイス量産テストは同時測定に移行した。幾つかの生産品目(例えば、メモリ)では、現在のウェーハプローブ技術で 512 個以上の同時測定が実施されている。プローブ技術はウェーハ全面へのコンタクトが可能となっており、既に 200mm 及び 300mm ウェーハで実施されている。これらの大規模並列プローブでは DUT あたりのピン数を増やす事が今後の課題である。

Table TST13 Probing Difficult Challenges

Geometry	Probe technologies to support peripheral fine pitch probe of 23 μm peripheral staggered pad probes at effective pitches of 20/40, and fine pitch (45 μm) for dual row, non-staggered probing on all four die sides. Fine pitch vertical probe technologies to support 130 μm pitch area array solder bump and 50 μm pitch staggered pad devices. Multi-site pad probing technologies with corner pitch capability below 125 μm . Reduction of pad damage at probe commensurate with pad size reductions (or better). Alternative probe technology for 75 μm on 150 μm pitch dense array (vertical probe; bumped device). Increasing probe array planarity requirements in combination with increasing array size.
Parallel test	Need a probe technology to handle the complexity of SoC devices while probing more than one device. Current probe technologies have I/O limitations for bumped device probes.
Probing at temperature	Reduce effects on probes for non-ambient testing -50°C to 150°C; especially for fine-pitch devices. For effects on Handlers and Probers, see that section.
Product	Probe technologies to direct probe on copper bond pads including various oxidation considerations. Probe technologies for probing over active circuitry (including flip-chip).
Probe force	Reduce per pin force required for good contact resistance to lower total load for high pin count and multi DUT probe applications. Evaluation and reduction of probe force requirements to eliminate die damage, including interlayer dielectric damage with lo A chuck motion model is required to minimize probe damage
Probe cleaning	Development of high temperature (85°C–150°C) <i>in situ</i> cleaning mediums/methods, particularly for fine pitch, multi-DUT, and non-traditional probes. Reduction of cleaning requirements while maintaining electrical performance to increase lifetime. A self cleaning probe card is required for fine pitch bumped pad devices
Cost and delivery	Fine pitch or high pin count probe cards are too expensive and take too long to build. Time and cost to repair fine pitch or high pin count probe cards is very high. The time between chip design completion (“tape-out”) and the availability of wafers to be probed is less than the time required to design and build a probe card in almost every probe technology except traditional cantilever. Space transformer lead times are too long, thus causing some vertical probe technologies to have lengthy lead-times.
Probe metrology	Tools are required that support fine pitch probe characterization and pad damage measurements. Metrology correlation is needed for post repair test versus on-floor usage.
High power devices	Probe technologies will need to incorporate thermal management features capable of handling device power dissipations approaching 1000 Watts and the higher currents (≥ 1.5 amp) flowing through individual probe points.
Contact resistance	Probe technologies that achieve contact resistance < 5 Ohms initially and throughout use are needed. A method to measure contact resistance is needed. The traditional continuity test is insufficient to monitor contact resistance.
High frequency probing	Traditional probe technologies do not have the necessary electrical bandwidth for higher frequency devices. At the top end are RF devices, requiring up to 40 GHz.

同時測定の要求は幾つかの多ピン製品、例えば ASIC で増えている。超多数個のウェーハテストを達成するにはチップあたりのテスト I/O 数を DFT 技術により削減する必要があるだろう。

テストから DUT に至る経路の様々な要素を統合したウェーハプローブの電気的モデルがプローブカード・メーカに求められる。DUT 端で性能を最適化するために、これらのモデルは ATE と DUT を繋ぐ複雑な回路網のシミュレーションを行う上で必要になる。

プローブカードの技術要求

多くのプローブカード技術が市場に導入されているが、種々のデバイスを正確にテストするための適合性(技術そしてまたテスト手法に左右される)や技術の限界があり、プローブカードを更に幅広く使用する際の障害となる。一つのプローブ技術ですべてのデバイス群の要求を満たすものは見当たらない。

この節では個々のデバイスをテストする事を含めてプローブカード技術の課題を調査する。これらにはウェーハに接触する時あるいはその後の接触による影響、生産性向上のための複数デバイスの同時測定に対するプローブカードの設計、そして使用環境など、プローブカードが実際に使用される時の予測が含まれる。

ピッチと接続変換

入出力信号密度はパッドやバンプのかつてない寸法の微細化を要求する。周知のように、最先端ワイヤボンドのパッドピッチは 30 μm 以下である(当然パッドサイズはこれより小さくなる)。従来のプローブ技術にとって、許容範囲の針跡と共に微細化は大変な課題である。

プローブ測定におけるカンチレバ型プローブカードとワイヤボンド技術の使用は、未だに今日の先進的な解決策であるが、極近い将来、ピッチとスクラブで事実上の限界に到達すると思われる。狭ピッチやスク

ラブの要求に対する解決案として、「半導体のような」プロセス(例えば、MEMS やメムブレン)多用による新プローブ技術が興されている。

エリアアレイの半田バンプは成長分野のアプリケーションであり、垂直プローブ技術に見合った要求/需要を発展させている。ピッチやバンプの寸法が小さくなると、現在の垂直プローブ技術では恐らくアレイからの配線引出しに限界が生じ、新たな技術開発が必要になるだろう。

多数個同時測定

生産性の向上は1つ以上のデバイスを多数同時測定(プローブ測定)することで実現可能である。メモリのテストがこの分野を牽引しており、最先端技術では500個の同時測定にさえ迫っている。Table.TST2aとbに示すように事実上全てのメモリテストで多数個同時測定が行われている。他のデバイスでも多数個同時測定への移行と加速は進行中である。DFTや「洗練されたテスト技術」の使用と共に促進され、16個、32個、そして64個同時測定さえも実現されている。また、ハイエンド・マイクロプロセッサにおいては4個同時測定まで実現されている。

多数個同時プローブ測定の要求は更なるプローブ数のますます増加しつつある。今日では、幾つかの新しいコンタクト/プローブの技術により300mmウェーハに全面コンタクトできると言われている。最終的なコンタクト/DUT必要数は何百個にもなる。

電氣的性能

ウェーハプローブ技術、プローブカードはウェーハ上の被測定デバイスとテストシステム・エレクトロニクスと電氣的に接続する。プローブカードは、被測定デバイスとテスト装置の間で信号や電源を忠実に伝送、供給したりせねばならない。

本ITRSの報告書の中に、デバイスの動作電圧や交流特性に関する情報が述べられている。加えて、このテストとテスト装置の章の中に、ウェーハプロービングの要求を理解するために手助けになる、広範囲な電氣的特性に関するテスト性能の情報が記載されている。

個々のプローブの電流容量は増大するように見受けられる。同時に、DUTあたりの総合計電流は回路密度やピン数の増大とともに増えると思われる。注目すべきは、1.5A以上に達する大きな電流容量を必要とする幾つかの選択的アプリケーションがあると云うことである。また同様に瞬間最大電流値が増大していることにも注意を払う必要がある。

接触抵抗は常に着目されているプローブ技術のパラメータである。これはパッドやバンプの材質、パッドやバンプからの汚染、多数個測定の(オフウェーハ上への：訳者追記)はみ出し、コンタクト圧、スクラブ(削り)、クリーニングなどのような多くの要因に左右される。本節の表TST14aとbの要求は、プローブの実質的な寿命期間を通して”通常”使用した場合のコンタクト抵抗を反映している。初期およびクリーニング後の接触抵抗はかなり低く、一般に200 mΩ台かそれより低いことが要求される。クリーニングまでの期間(接触回数)を長くするために、コンタクト抵抗値を低くする要求が高まっている。

高周波測定においては、チップへの安定したインピーダンスの接触が未達成のため、課題として残っている。ロードマップは、デジタルI/Oの特性は20Ghz以上になることを示している。アナログピンの特性は高精細なレーダーや自動着陸装置および車両自動駐車システムなどにより100Ghzにもなる可能性がある。高周波測定下の多数個測定は課題として残り、またKGD(Known Good Die)測定を可能とするためには多大な開発を必要とする。

温度性能

ロードマップ展望で変動は無いが、プローブの温度環境は要求が厳しい。チャックの設定温度要求の下限は氷点以下であり、上限は沸点を超え広範囲にわたる対応する材料の選択はより困難である。更に、温度依存性の膨張問題と大電流要求に対応するとなるとなおさらである。

その上、熱効果に関わるような非常に大きい遷移電流や大電力デバイスによる発熱を扱うことは、ウェーハとチャックの温度接地性が改善された様に、プローバによる能動的な温度制御の要求を高める可能性がある。

る。

単位コストと所有コスト

プローブカードの単位コストと所有コスト(CoO)のトレンドは、本ロードマップ資料に今は含まれていない。しかし、個々の会員企業は単位コストと所有コストに関して計測と目標と云う独自の取り組みを行っているかも知れないが、中古業界で一般的に運用されているような首尾一貫したモデルの開発が必要とされている。そして、そのモデルは市販されているプローブカード技術の広い範囲に対応する必要がある。

クリーニング

一般的に、ロードマップ展望の中で、カンチレバ型プローブカードのオンラインクリーニング頻度は微増であるが、多くの生産品種においてプローブカードの使用において(タッチダウン回数)オフラインクリーニングのための前の回数は、増加しているようにみえる。目的はテストシステムとプローブカードの稼働率向上である。垂直技術はカンチレバ技術と同等か其れ以上にオンラインクリーニングの頻度を減じると云う願望を反映して、垂直プローブカードのオンラインクリーニング前のタッチダウン回数は急速に増加している。オフラインクリーニングまでのタッチダウン回数は増加が全ての製品分野に渡っていると云うのは、カンチレバ技術に似ている。

特に、幾つかの実例として、このロードマップ展望の範囲外でメモリ・デバイスのオンラインクリーニングは無くす動きがある。これは恐らく、ウェーハ全面コンタクトの為のピンカウント課題と共に、プローブカードの設計や複雑さを反映しているからである。

Table TST14a Wafer Probe Technology Requirements—Near-term Years

Year of Production	2007		2008		2009		2010		2011		2012		2013		2014		2015	
DRAM ½ Pitch (nm) (contacted)	65		57		50		45		40		36		32		28		25	
MPU and ASIC Products																		
Wirebond—inline pad pitch	40		35		35		30		30		25		25		25		25	
Bump—array pad pitch	130		130		120		120		120		110		110		100		100	
I/O Pad Size (µm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	30	55	30	55	30	55	25	45	25	45	20	35	20	35	20	35	15	25
Bump	65	65	65	65	60	60	60	60	60	60	55	55	55	55	50	50	50	50
Scrub (% of pad)	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	Offline	DEPTH	AREA	DEPTH
Wirebond	25	50	25	50	25	50	20	40	20	40	20	40	20	40	20	40	20	40
Bump	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30
Size of Probed Area (mm ²)	2050		2400		2400		2400		2400		2400		2400		2400		2400	
Number of Probe Points / Touchdown—Asics	5000		6000		7500		7500		7500		9000		9000		9000		9000	
Number of Probe Points / Touchdown—MPU	20000		20000		20000		20000		20000		30000		30000		30000		30000	
Maximum Current (mA)	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage
ASIC	400	<.001	500	<.001	500	<.001	500	<.001	500	<.001	1000	<.001	1000	<.001	1000	<.001	1000	<.001
MPU	1000	<.001	1000	<.001	1200	<.001	1200	<.001	1500	<.001	1500	<.001	1500	<.001	1500	<.001	1500	<.001
Maximum Resistance (Ohm)	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
Memory Products																		
Wirebond—inline pad pitch	75		75		70		70		65		65		60		60		55	
I/O Pad Size (µm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	65	80	65	80	60	80	60	80	55	80	55	80	55	80	55	80	50	80
Scrub (% of pad)	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH
Wirebond	25	50	25	50	25	50	25	50	25	50	25	50	25	50	25	50	25	50
Size of Probed Area (mm ²)	100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer	
Number of Probe Points / Touchdown—Memory	20000		20000		25000		25000		30000		30000		30000		30000		30000	
Maximum Current (mA)	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage
	200	<.001	200	<.001	200	<.001	200	<.001	250	<.001	250	<.001	250	<.001	250	<.001	250	<.001
Maximum Resistance (Ohm)	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
RF and Mixed Signal Products																		
Wirebond—inline pad pitch	40		35		35		30		30		25		25		25		25	
Bump—array pad pitch	130		130		120		120		120		110		110		100		100	

Table TST14a Wafer Probe Technology Requirements—Near-term Years

Year of Production	2007		2008		2009		2010		2011		2012		2013		2014		2015	
I/O Pad Size (μm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	30	55	30	55	30	55	25	45	25	45	20	35	20	35	20	35	15	25
Bump	65	65	65	65	60	60	60	60	60	60	55	55	55	55	50	50	50	50
Scrub (% of pad)	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	Offline	DEPTH	AREA	DEPTH
Wirebond	25	50	25	50	25	50	20	40	20	40	20	40	20	40	20	40	20	40
Bump	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30
Size of Probed Area (mm ²)	1600		1600		1600		1600		1600		1600		1600		1600		1600	
Number of Probe Points /Touchdown	680		680		680		680		680		680		680		680		680	
Maximum Resistance (Ohm)	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
	<0.5	<3	<0.5	<3	<0.4	<3	<0.4	<3	<0.4	<3	<0.4	<3	<0.4	<3	<0.4	<3	<0.4	<3

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

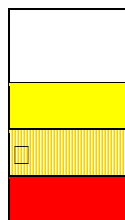


Table TST14b Wafer Probe Technology Requirements—Long-term Years

Year of Production	2016		2017		2018		2019		2020		2021		2022	
DRAM ½ Pitch (nm) (contacted)	22		20		18		16		14		13		11	
MPU and ASIC Products														
Wirebond—inline pad pitch	25		25		25		25		25		25		25	
Bump—array pad pitch	95		95		90		90		85		85		85	
I/O Pad Size (μm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	15	25	15	25	15	25	15	25	15	25	15	25	15	25
Bump	45	45	45	45	45	45	45	45	40	40	40	40	40	40
Scrub (% of pad)	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH
Wirebond	20	40	20	40	20	40	20	40	20	40	20	40	20	40
Bump	30	30	30	30	30	30	30	30	30	30	30	30	30	30
Size of Probed Area (mm ²)	2400		2400		2400		2400		2400		2400		2400	
Number of Probe Points /Touchdown—Asics	9000		9000		9000		9000		9000		9000		9000	
Number of Probe Points / Touchdown—MPU	30000		30000		30000		30000		30000		30000		30000	
Maximum Current (mA)	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage
ASIC	1000	<.001	1000	<.001	1000	<.001	1000	<.001	1000	<.001	1000	<.001	1000	<.001
MPU	1500	<.001	1500	<.001	1500	<.001	1500	<.001	1500	<.001	1500	<.001	1500	<.001
Maximum Resistance (Ohm)	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
Memory Products														
Wirebond—inline pad pitch	55		50		50		50		50		50		50	
I/O Pad Size (μm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	50	80	50	80	65	80	65	80	65	80	65	80	65	80
Scrub (% of pad)	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH
Wirebond	25	50	25	50	25	50	25	50	25	50	25	50	25	50
Size of Probed Area (mm ²)	100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer	
Number of Probe Points / Touchdown—Memory	30000		30000		30000		30000		30000		30000		30000	
Maximum Current (mA)	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage
	250	<.001	250	<.001	250	<.001	250	<.001	250	<.001	250	<.001	250	<.001
Maximum Resistance (Ohm)	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3

Table TST14b Wafer Probe Technology Requirements—Long-term Years

Year of Production	2016		2017		2018		2019		2020		2021		2022	
DRAM ½ Pitch (nm) (contacted)	22		20		18		16		14		13		11	
RF and Mixed Signal Products														
Wirebond—inline pad pitch	25		25		25		25		25		25		25	
Bump—array pad pitch	95		95		90		90		85		85		85	
I/O Pad Size (μm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	15	25	15	25	15	25	15	25	15	25	15	25	15	25
Bump	45	45	45	45	45	45	45	45	40	40	40	40	40	40
Scrub (% of pad)	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH
Wirebond	20	40	20	40	20	40	20	40	20	40	20	40	20	40
Bump	30	30	30	30	30	30	30	30	30	30	30	30	30	30
Size of Probed Area (mm ²)	1600		1600		1600		1600		1600		1600		1600	
Number of Probe Points /Touchdown	680		680		680		680		680		680		680	
Maximum Resistance (Ohm)	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
	<0.4	<3	<0.4	<3	<0.4	<3	<0.4	<3	<0.4	<3	<0.4	<3	<0.4	<3

テストソケット

ソケット部品は、DUT【訳者注: Device Under Test】の電気的特性を決定付けるために、機械的なコンタクト機構を通して DUT と PCB【訳者注: Print Circuit Board】或いはテストとの間の全ての電気的保有特性を転送すると云う役割を担う。近年、半導体の設計や製造の能力は進歩しているので、テスト工程での電気的要求や機械的要求は増加し続けている。それゆえ、ソケット技術は、著しく増えた電気的な要求や機械的な要求で急速な進展がもたらされてきている。その電気的要求や機械的要求のどちらも、大電力化・高電圧化・大電流化、パッケージサイズの小型化、狭ピッチ化、多端子化、小端子化、などに主導されている。すなわち電気的保有特性は、電気的要求だけでなく、機械的要求によっても決定されると言える。この複合物理問題によって、ソケット設計は難しい要求を伴う課題に次第になってきた。最近のソケットモデルでは、多端子化された BGA で、20GHz 以上の I/O 帯域では対応が非常に困難となっている。

表 TST15a と b にソケット技術の要求項目が記載されている。ソケットの分類条件は、TSOP、BGA という PKG に、NAND - TSOP、DRAM - BGA、SoC - BGA という 3 つのアプリケーションを当てはめ、NAND - TSOP にはコンタクトブレードの組み合わせ、DRAM - BGA にはスプリングプローブの組み合わせ、SoC - BGA には 50Ω スプリングプローブの組み合わせでソケットの分類を行っている。(図 TST9) ソケット性能は、ボール、又はリード間のピッチに大きく左右されるため、アッセンブリやパッケージングのロードマップの変化を見ながら、ピッチの決定を行っている。

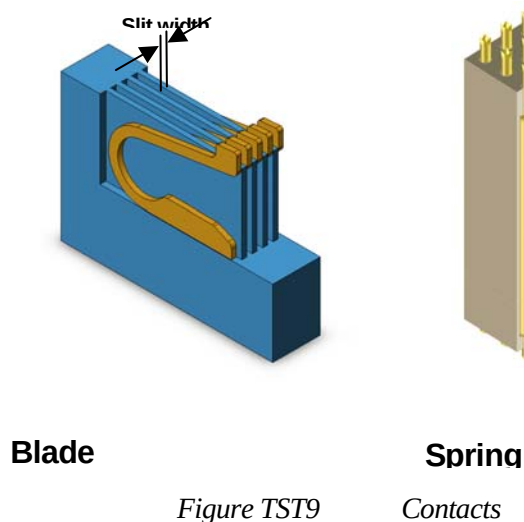
コンタクトブレードは、主に NAND - TSOP に使用され、ブレード自体がバネ性を持っているため、ソケットに DUT を押し当てることで、コンタクト荷重が発生している。コンタクトブレードは、とても単純な構造であり、量産に適しているものの、コンタクト荷重、ストローク、ライフを維持するためには、コンタクト長を長く取らざるを得ない。また、隣接するピンとの間にスリットの壁が必要であるため、狭ピッチには対応できないというマイナスポイントもある。スリットの壁は、ピッチが狭くなればなるほど薄くなり、製造がとても難しくなるためである。同時に、狭ピッチ対応ではブレード自体の板厚も薄くする必要がある、それによりコンタクト荷重や、適正ストローク、寿命を維持することが難しくなる。

スプリングプローブは、主に DRAM - BGA のテストに使用され、小径の筒(プローブとソケット)と圧縮バネにより形成されている。バネが縮むことにより、コンタクト荷重を生み出す仕組みである。ある程度の寿命を維持するためには、適当な強度や耐久性を維持するだけの大きい径である必要があり、長さもストロークを十分に考慮したものである必要がある。マイナスポイントとして、スプリングプローブではパッドやリードに対して、1 点もしくは 2 点だけのコンタクトであるため、他のコンタクトに比べ接触抵抗が高い傾向にある。それにもかかわらず、スプリングプローブの構造はいたってシンプルで、メンテナンスしやすく、さらに DUT 基板も設計しやすいというメリットがある。

DRAM - BGA のロードマップによると、スプリングプローブの径は、狭ピッチ対応のため小さくする必要がでてきている。さらに、高周波対応のため、インダクタンスも低いものが求められるため、スプリングプローブの長さを短くする必要がでてきている。

SoC - BGA の高周波を測定するためには、50Ω スプリングプローブのような同軸構造を持ったものが必要であり、これにより長さの問題は解決することができる。しかしながら、ロードマップの今後のボールピッチから、同軸ピンの配列に制約が増える見込みである。(2016 年の 0.5mm ピッチ) 2016 年には、データレートが 20GT/s まで増える見込みであるが、50Ω スプリングプローブは、部品数が多く、接触抵抗が他のコンタクトより高いため、電気的特性において劣るものと思われる。2010 年に必要とされる 50mΩ の接触抵抗に対応するためには、材料、めっき、構造の開発が必要である。

ソケットのライフに関しては、このロードマップで述べられていませんが、近い将来、狭ピッチ、多数ピン、リード/ボールへのダメージ軽減のため低荷重化が求められることから、寿命も重要な課題となってくるであろう。なぜなら、今までの有鉛デバイスに比べ、鉛フリーデバイスにはもっと高いコンタクト荷重が必要となるからである。



電氣的要求

電氣的要求には、ソケットピンあたりの通電電流容量(CCC)、接触抵抗、インダクタンス、インピーダンスがある。また、インサーション・ロス【訳者注:挿入損失】、リターン・ロス【訳者注:反射損失】、クロストークといったシグナルインテグリティ【訳者注:波形ひずみ】を悪化させる要素がある。大電力化や高バンド幅化に伴って、パッケージは CCC の増大や、低コンタクト化や、インピーダンス整合の適正化のソケットピン設計やソケット設計を必要とする。

ロードマップ上では、20GHz を超えるデータ転送速度の要求が必要と予測されている。この領域では、インピーダンス整合と潜在的な信号損失が大きな問題になる。一方、端子数が増えるのと同様に、パッケージの寸法や端子やピッチは小さくなる。この小端子化は、コンタクト抵抗やシグナル・インテグリティをひどく悪化させる厳しい機械的な制約条件への対応を必要とする。電氣的接触を安定させ、低い接触抵抗を確実にさせる 1 つの重要な要素は、一般的に端子あたり 20~30g 程度のコンタクト荷重である。端子ピッチが縮小すると、適正な接触抵抗を可能にする高いコンタクト荷重が維持できないかも知れないが、微小で細いソケットピンを使わざるを得ない。電氣的保有特性に対する機械的要求の否定的な影響によって、電氣的コンタクト技術の改善やソケットの革新が必要とされる。つまり、電氣的保有特性とシグナル・インテグリティは増大する機械的要求と密接に関係している。

機械的要求

機械的要求には、機械的位置決めや、コンプライアンスや、ソケットピンの信頼性が含まれる。機械的アライメントは、特にランドグリッド・アレイ(LGA)において、多端子化や小端子化によって大きな課題になってきている。現在、テストソケットの主流は受動的な位置決め制御になっている。この方式では、ソケットピンとデバイス端子の間のコンタクト確度は機械的なガイド機構の許容誤差の積み重ねに依存してしまう。よって受動的な位置決め方式は直ぐに限界に達するだろう。何故なら、製造時の許容誤差は数 μm 程度に設定されているからである。能動的な位置決め方式や光学利用のハンドリング装置の採用は、パッケージや端子の縮小化、狭ピッチ化、多端子化の継続に対応できる選択肢の 1 つである。

コンプライアンスは、垂直方向(Z 方向)の機械的コンタクト確度である。つまり、総合的なコンタクトストロークは、最低限必要なソケットピンの圧縮量に加えて、ソケットピンの高さのバラツキ【訳者注:共面精度】と DUT ピンの非平坦度の両方も考慮する必要がある。一般的に、コンタクトのトータルストロークは、0.3mm から 0.5mm である。しかし、ソケットピン寸法の更なる小型化要求より、上記のストロークを維持することは不可能であろう。このような圧縮問題は、電氣的コンタクト性能のボトルネックになるかも知れない。

コンタクタピンの信頼性、ピン先端の耐久性もまた課題を持っている。何故なら、厳しい幾何学的制約によりソケットピンの強度に余裕がないからである。高温化、大電流化、ピン先端コンタクトの微小化などにより、テスト環境は更に難しくなっている。

Table TST15a Test Socket Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
TSOP—Flash (NAND)—Contact blade [1]									
Commodity NAND Memory									
Lead Pitch (mm)	0.4	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Data rate (MT/s)	50	50	50	66	66	100	100	100	100
Contact blade									
Inductance (nH)	10-15	5-10	5-10	5-10	5-10	5-10	5-10	5-10	5-10
Contact Stroke (mm)	0.3-0.5	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact force (N)	0.2-0.4	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact resistance (m Ohm)	30	30	30	30	30	30	30	30	30
Slit width (mm)	0.22	0.17	0.17	0.17	0.17	0.17	0.17	0.17	0.17
BGA—DRAM—Spring Probe [2]									
Commodity DRAM (Mass production)									
Lead Pitch (mm)	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5	0.5
DRAM RM GT/S	1.1	1.3	1.3	1.6	1.6	2.1	2.7	2.7	3.2
Spring Probe									
Inductance (nH)	1.5	1.5	1.5	1	1	1	0.5	0.5	0.3
Contact Stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.2	0.2	0.2
Contact force (N)	<0.4	<0.4	<0.4	<0.3	<0.3	<0.3	<0.2	<0.2	<0.2
Contact resistance (m Ohm)	100	100	100	100	100	100	100	100	100
BGA—SoC—Spring Probe (50 Ohm) [3]									
Logic (High volume microprocessor)									
Lead Pitch (mm)	0.8	0.8	0.8	0.65	0.65	0.65	0.65	0.65	0.65
I/O data (GT/s)	6	6	12	12	12	12	15	15	15
Spring Probe (50 Ohm)									
Impedance (Ohm)	50	50	50	50	50	50	50	50	50
Contact Stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Contact force (N)	<0.4	<0.4	<0.4	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3
Contact resistance (m Ohm)	100	70	70	50	50	50	50	50	50
BGA—SoC—Conductive Rubber [4] [5]									
Logic (High volume microprocessor)									
Lead Pitch (mm)	0.8	0.8	0.8	0.65	0.65	0.65	0.65	0.65	0.65
I/O data (GT/s)	6	6	12	12	12	12	15	15	15
Spring Probe (50 Ohm)									
Inductance (nH)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15
Contact Stroke (mm)	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15
Contact force (N)	0.2	0.2	0.2	0.15	0.15	0.5	0.15	0.15	0.15
Contact resistance (m Ohm)	50	50	50	50	50	50	50	50	50
Thickness (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

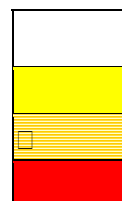


Table TST15b Test Socket Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
TSOP—Flash (NAND)—Contact blade [1]							
Commodity NAND Memory							
Lead Pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Data rate (MT/s)	133	133	133	133	266	266	266
Contact blade							
Inductance (nH)	5-10	5-10	5-10	5-10	5-10	5-10	5-10
Contact Stroke (mm)	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact force (N)	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3	0.2-0.3
Contact resistance (m Ohm)	30	30	30	30	30	30	30
Slit width (mm)	0.17	0.17	0.17	0.17	0.17	0.17	0.17
BGA—DRAM—Spring Probe [2]							
Commodity DRAM (Mass production)							
Lead Pitch (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5
DRAM RM GT/S	3.2	4.3	5.3	5.4	6.4	6.4	8.5
Spring Probe							
Inductance (nH)	0.3	0.3	0.2	0.2	0.15	0.15	0.15
Contact Stroke (mm)	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Contact force (N)	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Contact resistance (m Ohm)	100	100	100	100	100	100	100
BGA—SoC—Spring Probe (50 Ohm) [3]							
Logic (High volume microprocessor)							
Lead Pitch (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5
I/O data (GT/s)	20	20	20	40	40	40	40
Spring Probe (50 Ohm)							
Impedance (Ohm)	50	50	50	50	50	50	50
Contact Stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Contact force (N)	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Contact resistance (m Ohm)	50	50	50	50	50	50	50
BGA—SoC—Conductive Rubber [4] [5]							
Logic (High volume microprocessor)							
Lead Pitch (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5
I/O data (GT/s)	20	20	20	40	40	40	40
Spring Probe (50 Ohm)							
Inductance (nH)	0.15	0.15	0.15	<0.1	<0.1	<0.1	<0.1
Contact Stroke (mm)	0.15	0.15	0.15	0.15	0.15	0.15	0.15
Contact force (N)	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Contact resistance (m Ohm)	50	50	50	50	50	50	50
Thickness (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5

Notes for Table TST15a and b:

[1] For pitches less than 0.3 mm contactor molding becomes difficult due to the thin wall thickness between pins.

[2] For higher performance, a shorter probe spring is required which shortens the contact stroke. In 2019, the contact stroke will be 0.2 mm so the contact resistance will be unstable.

[3] The spring probe must be coaxial for high-speed test. 20GT/s cannot be supported with finer pitches.

[4] Ball height is expected to change over the roadmap but amount of change is not known.

[5] A contact stroke of 0.15 mm was assumed with a 0.5 mm rubber thickness. For high ball count devices the contact pressure has been lowered.

特殊デバイス

テストロードマップはすべてを包括的している訳ではないので、すべてのデバイスのためのテスト要件を含んではない。ここで省略されたいくつかのデバイスは、多くのテスト要件でデバイスロードマップに指定された限界に陥っている。この章において他のデバイスの指定された限界に範囲を広げ、完全のために言及する。特殊デバイスの章中のデバイスは、モバイル通信とモバイルコンピューティングの要求に答える為、一般的に含まれているボリュームの大きいデバイスである。この節の意図は特殊デバイスの文書化への挑戦である。2007 年度版では、LCD ディスプレイドライバとイメージングデバイスを、この章に特記する。

LCD ディスプレイドライバは縦横比 20:1 (または、より大きい) のダイ形状であり、大量の超狭ピッチのコンタクトパッドのテスト対応を要求されるという特色がある。2007 年には、 $23\ \mu\text{m}$ ピッチで $10\ \mu\text{m} \times 120\ \mu\text{m}$ のパッドを持つ LCD ディスプレイドライバが生産されている。2007 年に使用されている $10\ \mu\text{m}$ のパッド幅は、商用デバイスのロードマップに指定されている $25\ \mu\text{m}$ 幅の 2022 パッドの半分以下であり、12:1 のパッド縦横比もまた、1.3:1 章の商用デバイスワーストケースのパッド縦横比をも越えている。これらのデバイスはテスト時間が短い為、大量の同時測定は必要ではないが、コンタクト回数に耐えうる経済的なプローブ環境の解決策が必要である。

イメージングデバイスはすべてのデジタルカメラに要求されるのは勿論のことであり、また殆どの携帯電話にも標準搭載されている。10M ピクセルの解像度を持つデジタルカメラはコンシューマ機器の標準であり、将来、2010 年までに 20M ピクセルの商用イメージセンサが期待される。イメージセンサは輝度を上げ、信号のノイズ比を改善する為、個々のピクセルに micro レンズ(図 TST10)を持ち、コンシステンシー、シャープネス、コントラストの検出スペクトラム対比についてテストされなければならない。現在、センサーを様々な角度の範囲でのテストするために、一般に画像投射システムを設置、構成し、画像投射することで生産を解決している。検出されたイメージデータは、画像品質を保証するために処理される。イメージセンサは写真のアナログ情報をデジタル出力に変換する。従って、テスト結果は非決定的である。

モジュールテストの為の典型的テストアクセスが非常に制限されて以来、画像処理デジタルロジックと結び付いた単一チップのイメージセンサはモジュール形状に組み立てられた時、重要なテストへの挑戦を見せる。そして携帯電話などのシステムに内蔵された時、簡単なファンクションテストですべてが可能となる。

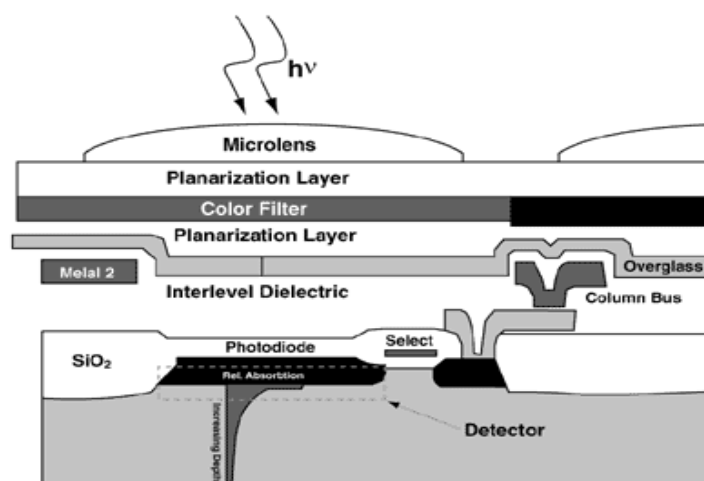


Image sensor structure cross section

Figure TST10 Image Sensor Cell